

Docket No. 241998US2S/hyc

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshiaki FUKUZUMI

GAU:

SERIAL NO: 10/649,704

EXAMINER:

FILED: August 28, 2003

FOR: SEMICONDUCTOR MEMORY DEVICE COMPRISING MAGNETO RESISTIVE ELEMENT AND
ITS MANUFACTURING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-080586	March 24, 2003
JAPAN	2003-207564	August 14, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

10/649,704
0281348-1

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2003年 3月24日

出願番号

Application Number:

特願2003-080586

[ST.10/C]:

[JP2003-080586]

出願人

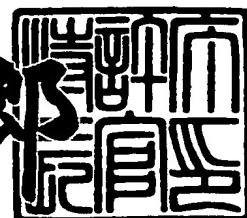
Applicant(s):

株式会社東芝

2003年 4月11日

特許庁長官
Commissioner,
Japan Patent Office

太田信一



出証番号 出証特2003-3025706

【書類名】 特許願
【整理番号】 A000205534
【提出日】 平成15年 3月24日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明の名称】 半導体記憶装置及びその製造方法
【請求項の数】 31
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
【氏名】 福住 嘉晃
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠
【選任した代理人】
【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項1】 第1強磁性膜と、前記第1強磁性膜上に形成されたトンネルバリア膜と、前記トンネルバリア膜上に形成された第2強磁性膜とを備えるメモリセルと、

少なくとも前記第2強磁性膜の側面を取り囲むようにして形成された側壁絶縁膜と、

前記メモリセル及び前記側壁絶縁膜を被覆するように形成された層間絶縁膜とを具備することを特徴とする半導体記憶装置。

【請求項2】 第1強磁性膜と、前記第1強磁性膜上に形成されたトンネルバリア膜と、前記トンネルバリア膜上に形成された第2強磁性膜とを備えるメモリセルと、

少なくとも前記第2強磁性膜の側面を取り囲むようにして形成され、金属元素を含む側壁絶縁膜と

を具備することを特徴とする半導体記憶装置。

【請求項3】 前記側壁絶縁膜は、前記トンネルバリア膜に接することを特徴とする請求項1または2記載の半導体記憶装置。

【請求項4】 第1強磁性膜と、前記第1強磁性膜上に形成されたトンネルバリア膜と、前記トンネルバリア膜上に形成された第2強磁性膜とを備えるメモリセルと、

前記第2強磁性膜の周囲を取り囲むようにして前記トンネルバリア膜上に形成された側壁絶縁膜と

を具備することを特徴とする半導体記憶装置。

【請求項5】 前記トンネルバリア膜は、面内端縁部における酸素含有率が、面内中央部よりも高い

ことを特徴とする請求項1乃至4いずれか1項記載の半導体記憶装置。

【請求項6】 前記トンネルバリア膜は、面内端縁部における膜厚が、面内中央部よりも大きい

ことを特徴とする請求項1乃至4いずれか1項記載の半導体記憶装置。

【請求項7】 前記側壁絶縁膜は、酸化アルミニウムで形成されていることを特徴とする請求項1乃至6いずれか1項記載の半導体記憶装置。

【請求項8】 前記側壁絶縁膜及び前記トンネルバリア膜は、共通の金属元素を含む

ことを特徴とする請求項1乃至7いずれか1項記載の半導体記憶装置。

【請求項9】 前記側壁絶縁膜及び前記トンネルバリア膜は、共に酸化アルミニウムで形成されている

ことを特徴とする請求項1乃至8いずれか1項記載の半導体記憶装置。

【請求項10】 前記側壁絶縁膜は、前記トンネルバリア膜の側壁の少なくとも一部と周方向に沿って接する

ことを特徴とする請求項1乃至9いずれか1項記載の半導体記憶装置。

【請求項11】 第1強磁性膜と、前記第1強磁性膜上に形成され、酸素元素を含むトンネルバリア膜と、前記トンネルバリア膜上に形成された第2強磁性膜とを備えるメモリセルを具備し、

前記トンネルバリア膜の面内端縁部における単位面積あたりのトンネル抵抗は、面内中央部よりも高い

ことを特徴とする半導体記憶装置。

【請求項12】 前記トンネルバリア膜は、面内端縁部における酸素含有率が、面内中央部よりも高い

ことを特徴とする請求項11記載の半導体記憶装置。

【請求項13】 前記トンネルバリア膜は、面内端縁部における膜厚が、面内中央部よりも大きい

ことを特徴とする請求項11記載の半導体記憶装置。

【請求項14】 前記面内端縁部における前記トンネルバリア膜は、少なくとも前記第1、第2強磁性膜のいずれかに含まれる磁性金属元素を含む

ことを特徴とする請求項13記載の半導体記憶装置。

【請求項15】 前記トンネルバリア膜は、酸化アルミニウムで形成されている

ことを特徴とする請求項1乃至14いずれか1項記載の半導体記憶装置。

【請求項16】 半導体層上に第1強磁性層を形成する工程と、
前記第1強磁性層上にトンネルバリア層を形成する工程と、
前記トンネルバリア膜上に第2強磁性層を形成する工程と、
前記第2強磁性層をパターニングして、前記トンネルバリア層の一部を露出させる工程と、

前記トンネルバリア層上に、前記第2強磁性層の側壁を取り囲むようにして側壁絶縁膜を形成する工程と、

前記トンネルバリア層及び前記第1強磁性層をパターニングする工程と
を具備することを特徴とする半導体記憶装置の製造方法。

【請求項17】 前記第2強磁性層上にキャップ層を形成する工程を更に備え、

前記第2強磁性層をパターニングする工程においては、前記キャップ層は前記第2強磁性層と同一のパターンにパターニングされ、

前記側壁絶縁膜を形成する工程は、
少なくとも前記トンネルバリア層上及び前記第2強磁性層の側面上に金属層を形成する工程と、

前記金属層を酸化させて、前記金属層を絶縁性の金属酸化層にする工程と、
前記金属酸化層の一部を除去して、前記金属酸化層を前記第2強磁性層の側壁を取り囲むように残存させる工程と

を備えることを特徴とする請求項16記載の半導体記憶装置の製造方法。

【請求項18】 前記第2強磁性層上にキャップ層を形成する工程を更に備え、

前記第2強磁性層をパターニングする工程においては、前記キャップ層は前記第2強磁性層と同一のパターンにパターニングされ、

前記側壁絶縁膜を形成する工程は、
少なくとも前記トンネルバリア層上及び前記第2強磁性層の側面上に金属層を形成する工程と、
前記金属層の一部を除去して、前記金属層を前記第2強磁性層の側壁を取り囲

むように残存させる工程と、

前記金属層を酸化させて、前記金属層を絶縁性の金属酸化層にする工程と
を備えることを特徴とする請求項16記載の半導体記憶装置の製造方法。

【請求項19】 前記金属層を形成する工程において、前記金属層は、前記
キャップ層の上面及び側面上にも形成され、

前記金属酸化層の一部を除去する工程において、前記金属酸化層は、前記第2
強磁性層の側壁を取り囲み、且つ前記キャップ層の側壁の少なくとも一部を取り
囲むようにして残存させられる

ことを特徴とする請求項17記載の半導体記憶装置の製造方法。

【請求項20】 前記金属層を形成する工程において、前記金属層は、前記
キャップ層の上面及び側面上にも形成され、

前記金属層の一部を除去する工程において、前記金属層は、前記第2強磁性層
の側壁を取り囲み、且つ前記キャップ層の側壁の少なくとも一部を取り囲むよう
にして残存させられる

ことを特徴とする請求項18記載の半導体記憶装置の製造方法。

【請求項21】 前記第2強磁性層上に金属層を形成する工程と、前記金属
層を絶縁性の金属酸化層にする工程とは、同一の半導体製造装置内において行わ
れ、且つ該半導体製造装置の外部に晒されることなく該半導体製造装置内部で連
続的に行われる

ことを特徴とする請求項17または19記載の半導体記憶装置の製造方法。

【請求項22】 前記第2強磁性層をパターニングする工程と、前記第2強
磁性層上に金属層を形成する工程と、前記金属層を絶縁性の金属酸化層にする工
程とは、同一の半導体製造装置内において行われ、且つ該半導体製造装置の外部
に晒されることなく該半導体製造装置内部で連続的に行われる

ことを特徴とする請求項17または19記載の半導体記憶装置の製造方法。

【請求項23】 前記第2強磁性層上に金属層を形成する工程と、前記金属
層を前記第2強磁性層の側壁を取り囲むように残存させる工程と、前記金属層を
絶縁性の金属酸化層にする工程とは、同一の半導体製造装置内において行われ、
且つ該半導体製造装置の外部に晒されることなく該半導体製造装置内部で連続的

に行われる

ことを特徴とする請求項18または20記載の半導体記憶装置の製造方法。

【請求項24】 前記第2強磁性層をパターニングする工程と、前記第2強磁性層上に金属層を形成する工程と、前記金属層を前記第2強磁性層の側壁を取り囲むように残存させる工程と、前記金属層を絶縁性の金属酸化層にする工程とは、同一の半導体製造装置内において行われ、且つ該半導体製造装置の外部に晒されることなく該半導体製造装置内部で連続的に行われる

ことを特徴とする請求項18または20記載の半導体記憶装置の製造方法。

【請求項25】 前記トンネルバリア層は、絶縁性の酸化物で形成され、前記金属層を酸化させる工程は、

前記金属層を酸化すると共に、前記第2強磁性層の面内縁部直下に位置する領域の前記トンネルバリア膜を酸化させ、該領域における酸素含有率を面内中央部における前記トンネルバリア膜の酸素含有率よりも高くする

ことを特徴とする請求項17乃至24いずれか1項記載の半導体記憶装置の製造方法。

【請求項26】 前記金属層を酸化させる工程は、

前記金属層を酸化すると共に、前記第2強磁性層において面内縁部の領域であって且つ前記トンネルバリア膜に接する領域を酸化させて、該領域を絶縁物にする

ことを特徴とする請求項17乃至24いずれか1項記載の半導体記憶装置の製造方法。

【請求項27】 前記金属層を酸化させる工程は、

前記第1強磁性層において前記第2強磁性層の面内縁部直下に位置し、且つ前記トンネルバリア膜に接する領域を酸化させて、該領域を絶縁物にする

ことを特徴とする請求項26記載の半導体記憶装置の製造方法。

【請求項28】 前記金属層を絶縁性の金属酸化層にする工程の後、前記金属酸化層をアニールする工程を更に備える

ことを特徴とする請求項17乃至27いずれか1項記載の半導体記憶装置の製造方法。

【請求項29】 前記トンネルバリア膜及び前記第1強磁性層をバターニングする工程は、前記側壁絶縁膜をマスクに用いて行う

ことを特徴とする請求項16乃至28いずれか1項記載の半導体記憶装置の製造方法。

【請求項30】 前記トンネルバリア膜は、酸化アルミニウムで形成される
ことを特徴とする請求項16乃至29いずれか1項記載の半導体記憶装置の製造方法。

【請求項31】 前記側壁絶縁膜は、酸化アルミニウムで形成される
ことを特徴とする請求項16乃至30いずれか1項記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置及びその製造方法に関するもので、例えば磁気ランダムアクセスメモリ(Magneto resistive Random Access Memory: MRAM)の備える磁気抵抗素子とその周囲の構造に関するものである。

【0002】

【従来の技術】

MRAMは、情報の記録担体として強磁性体の磁化方向を利用した、記録情報を隨時、書き換え、保持、読み出すことができる固体メモリの総称である。

【0003】

MRAMのメモリセルは、通常複数の強磁性体を積層した構造を有する。情報の記録は、メモリセルを構成する複数の強磁性体の磁化の相対配置が、平行か、反平行であるかを2進の情報“1”、“0”に対応させて行う。記録情報の書き込みは、各メモリセルの強磁性体の磁化方向を、電流磁界によって反転させることによって行われる。

【0004】

MRAMは、完全な不揮発性であり、また 10^{15} 回以上の書き換えが可能である。更に、非破壊読み出しが可能であり、リフレッシュ動作を必要としない。

従って、読み出しサイクルを短くすることが可能である。また、電荷蓄積型のメモリセルに比べ、放射線に対する耐性が強い。このように、MRAMは従来の誘電体を用いた半導体メモリとその機能を比較すると、多くの利点を有している。MRAMの単位面積あたりの集積度、書き込み、読みだし時間は、おおむねDRAM (Dynamic Random Access Memory) と同程度となりうることが予想される。従って不揮発性という大きな特色を生かし、携帯機器用の外部記録装置、LSI混載用途、さらにはパーソナルコンピューターの主記憶メモリへの応用が期待されている。

【0005】

現在実用化の検討が進められているMRAMでは、メモリセルに強磁性トンネル接合 (Magnetic Tunnel Junction : 以下MTJと略記) を用いている（例えば、非特許文献1参照）。MTJは、主として強磁性層／絶縁層／強磁性層からなる三層膜で構成され、電流は絶縁層をトンネルして流れる。接合の抵抗値は、両強磁性金属層の磁化の相対角の余弦に比例して変化する。そして、接合の抵抗値は、両強磁性層の磁化の向き反平行の場合に極大値をとる。これがトンネル磁気抵抗効果である。MTJの構造としては、両方の強磁性体の保持力の差を利用してデータを保持するタイプがある。更には、磁界感度改善あるいは書き込み電流低減を目的として、一方の強磁性体に隣接して反強磁性体を配置し、磁化方向を固定させたいわゆるスピナバルブ構造のタイプ（例えば非特許文献2参照）が知られている。

【0006】

従来のスピナバルブ構造を有するMTJ素子の形成方法について、以下簡単に説明する。

【0007】

まず、半導体基板上に選択トランジスタを形成し、引き続き層間絶縁膜、ローラル配線、書き込み配線、及びコンタクトプラグを形成する。そして、層間絶縁膜上に引き出し配線となる非磁性導電膜を形成する。

【0008】

次に、引き出し配線上に、固定層 (pinning layer) となる強磁性層を形成し

、更に固着層上にトンネルバリア膜となる絶縁膜を形成する。引き続き、トンネルバリア膜上に記録層（free layer）となる強磁性層を形成する。

【0009】

更に、フォトリソグラフィ技術とイオンミリングとにより、記録層、トンネルバリア膜、及び固着層をパターニングする。これによりMTJ素子が完成する。

【0010】

次に、MTJ素子を保護するためのSiO₂膜をMTJ素子上に形成した後、フォトリソグラフィ技術とエッチングとによりSiO₂膜及び非磁性導電膜をパターニングする。これにより引き出し配線が完成する。

【0011】

その後は、MTJ素子を被覆する層間絶縁膜を形成し、更に記録層に達するコントタクトプラグを層間絶縁膜中に形成する。

以上のようにしてMTJ素子は形成される。

【0012】

【非特許文献1】

“IEEE International Solid-State Circuits Conference 2000 Digest Paper”, TA7.2

【0013】

【非特許文献2】

“Japanese Journal of Applied Physics”, 1997年, 36号, p.200

【0014】

【発明が解決しようとする課題】

しかしながら、上記従来のMRAMであると、以下のような問題があった。

【0015】

まず、トンネルバリア膜を介して対向する上下の強磁性層が、端部で電気的にショートする場合がある。そのため、MRAMの製造歩留まりが著しく低下する。これは、主にイオンミリングにより接合部のエッチングを行う際、金属を含む残渣がトンネルバリア近傍にある確率で残留することが原因である。トンネルバリア膜の厚さは1～1.5nm程度と非常に薄い。すなわち、上下の強磁性層は

1~1.5 nmという非常に小さい距離で隣接している。このため、残渣のサイズが1~1.5 nmを上回るとショートが発生する。しかし、大規模なMRAMにおいては、この不良を回避することは不可能に近く、MRAMの集積度が高くなればなるほど、良品を取得するのが加速度的に困難になるという問題があった。

【0016】

上記のショートの問題は、例えばイオンミリング工程にてイオンを例えれば45°程度で入射することにより解決できると考えられる。この場合、MTJの側面にはテーパー角を付与される。その結果、不良が発生する確率を大きく低減すると思われる。しかし、ギガビットクラスのMRAMにおいては、MTJ素子のサイズは例えば0.1 μm × 0.2 μm程度である。そして、隣接するMTJ素子間距離は0.1 μm程度である。すると、隣接するMTJ素子間の電気的ショートを回避するためには、イオンミリング工程でのイオンの入射角度は、出来るだけ基板面に対して垂直方向から入射することが望ましい。すなわち、MTJ素子間でのショートと強磁性層間でのショートとが、トレードオフの関係を有するという問題があった。

【0017】

この発明は、上記事情に鑑みてなされたもので、その目的は、製造歩留まりを向上できる半導体記憶装置及びその製造方法を提供することにある。

【0018】

【課題を解決するための手段】

上記目的を達成するために、この発明の第1の態様に係る半導体記憶装置は、第1強磁性膜と、前記第1強磁性膜上に形成されたトンネルバリア膜と、前記トンネルバリア膜上に形成された第2強磁性膜とを備えるメモリセルと、少なくとも前記第2強磁性膜の側面を取り囲むようにして形成された側壁絶縁膜と、前記メモリセル及び前記側壁絶縁膜を被覆するように形成された層間絶縁膜とを具備することを特徴としている。

【0019】

またこの発明の第2の態様に係る半導体記憶装置は、第1強磁性膜と、前記第

1 強磁性膜上に形成されたトンネルバリア膜と、前記トンネルバリア膜上に形成された第2強磁性膜とを備えるメモリセルと、少なくとも前記第2強磁性膜の側面を取り囲むようにして形成され、金属元素を含む側壁絶縁膜とを具備することを特徴としている。

【0020】

更にこの発明の第3の態様に係る半導体記憶装置は、第1強磁性膜と、前記第1強磁性膜上に形成されたトンネルバリア膜と、前記トンネルバリア膜上に形成された第2強磁性膜とを備えるメモリセルと、前記第2強磁性膜の周囲を取り囲むようにして前記トンネルバリア膜上に形成された側壁絶縁膜とを具備することを特徴としている。

【0021】

上記のような構成であると、第2強磁性膜の周囲は、側壁絶縁膜によって取り囲まれている。従って、例えばArイオンミリング工程等において、トンネルバリア膜の側壁に残渣が残ったとしても、第1、第2強磁性膜間でショートが発生することを抑制できる。その結果、半導体記憶装置の製造歩留まりが向上出来る。

【0022】

また、この発明の第4の態様に係る半導体記憶装置は、第1強磁性膜と、前記第1強磁性膜上に形成され、酸素元素を含むトンネルバリア膜と、前記トンネルバリア膜上に形成された第2強磁性膜とを備えるメモリセルを具備し、前記トンネルバリア膜の面内端縁部における単位面積あたりのトンネル抵抗は、面内中央部よりも高いことを特徴としている。

【0023】

上記のような構成であると、面内端部において、トンネルバリア膜のトンネル抵抗が、面内中央部よりも高い。従って、書き込み電流に対する、スピニの向きが乱れがちなメモリセル端部の影響を低減でき、製造歩留まりが改善される。

【0024】

この発明の第5の態様に係る半導体記憶装置の製造方法は、半導体層上に第1強磁性層を形成する工程と、前記第1強磁性層上にトンネルバリア層を形成する

工程と、前記トンネルバリア膜上に第2強磁性層を形成する工程と、前記第2強磁性層をパターニングして、前記トンネルバリア層の一部を露出させる工程と、前記トンネルバリア層上に、前記第2強磁性層の側壁を取り囲むようにして側壁絶縁膜を形成する工程と、前記トンネルバリア層及び前記第1強磁性層をパターニングする工程とを具備することを特徴としている。

【0025】

上記のような構成であると、第2強磁性層の周囲は、側壁絶縁膜によって取り囲まれている。従って、例えばArイオンミリング工程等において、トンネルバリア膜の側壁に残渣が残ったとしても、第1、第2強磁性層間でショートが発生することを抑制できる。その結果、半導体記憶装置の製造歩留まりが向上出来る。また、第1、第2強磁性膜間でのショートを防止できるので、第1強磁性層の側面を、ほぼ垂直にパターニング出来る。従って、第1強磁性層の形状制御が容易となり、半導体記憶装置の動作信頼性を向上できる。

【0026】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0027】

この発明の第1の実施形態に係る半導体記憶装置について図1を用いて説明する。図1はMRAMのメモリセルの断面図である。

【0028】

図示するように、半導体基板10中には素子分離領域STIが形成されており、素子分離領域STIによって周囲を取り囲まれた素子領域AA内に、スイッチングトランジスタ11が形成されている。スイッチングトランジスタ11は、半導体基板10の表面内に形成された不純物拡散層12、図示せぬゲート絶縁膜、及びゲート電極13を備えている。ゲート電極13はワード線として機能するものであり、容易軸方向（紙面に対して垂直方向）に沿ってストライプ状に形成されている。

【0029】

また半導体基板10上には層間絶縁膜14が形成されている。層間絶縁膜14は、スイッチングトランジスタ11を被覆しており、また層間絶縁膜14内には、コンタクトプラグ15が形成されている。コンタクトプラグ15は、スイッチングトランジスタ11の不純物拡散層12の一方（ドレイン領域）に接続されている。

【0030】

層間絶縁膜14上には、コンタクトプラグ15に接続された金属配線層16が形成されている。更に、層間絶縁膜17が層間絶縁膜14上に形成されている。層間絶縁膜17は、金属配線層16を被覆しており、また層間絶縁膜17内には、コンタクトプラグ18が形成されている。コンタクトプラグ18は、金属配線層16に接続されている。

【0031】

層間絶縁膜17上には、コンタクトプラグ18に接続された金属配線層19、金属配線層19と電気的に分離された金属配線層20が形成されている。金属配線層20は書き込みワード線として機能するものであり、容易軸方向に沿ってストライプ状に形成されている。更に、層間絶縁膜21が層間絶縁膜17上に形成されている。層間絶縁膜21は金属配線層19、20を被覆しており、また層間絶縁膜21内にはコンタクトプラグ22が形成されている。コンタクトプラグ22は、金属配線層19と接続されている。

【0032】

層間絶縁膜21上には、コンタクトプラグ22に接続された非磁性導電膜23が形成されている。非磁性導電膜23は引き出し配線として機能するものであり、例えば膜厚3nmのTa層24、膜厚30nmのAl層25、及び膜厚30nmのTa層26が順次形成された多層膜で形成される。また非磁性導電膜23上には磁気抵抗素子27が形成されている。磁気抵抗素子27は、層間絶縁膜21及び非磁性導電膜23を挟んで金属配線層20と重なるようにして形成されている。磁気抵抗素子27は、絶縁膜を磁性体膜で挟み込んだ構造を有する例えばMTJ素子である。

【0033】

磁気抵抗素子27の構造について、図1、図2を用いて説明する。図2は、特に磁気抵抗素子27に着目した半導体記憶装置の斜視図である。

【0034】

図示するように、磁気抵抗素子27は、長軸が容易軸方向に沿った略楕円の形状を有している。そして、非磁性導電膜23上に形成された固着層28、固着層28上に形成されたトンネルバリア膜29、及びトンネルバリア膜29上に形成された記録層30を含んでいる。固着層28は、例えば膜厚3nmのパーマロイ(Py:NiFe合金)で形成されたシード層(またはバッファ層)31、膜厚15nmのIrMnで形成された反強磁性層32、及び膜厚5nmのCoFe層で形成された固着強磁性層33が順次形成された積層膜により形成されている。トンネルバリア膜29は、例えば膜厚1~1.5nm程度のAl₂O₃層で形成される。記録層30は、例えば膜厚4nmのCoFe層34、膜厚20nmのPy層35が順次形成された積層膜により形成されている。

【0035】

固着層28及びトンネルバリア膜29の表面積は互いにほぼ同一であり、互いに重なり合っている。記録層30は、固着層28及びトンネルバリア膜29よりも表面積は小さく、トンネルバリア膜29上に完全に戴置された格好となっている。以上のようにして、磁気抵抗素子27が形成されている。

【0036】

記録層30上には、キャップ層36が形成されている。キャップ層36は、例えば膜厚20nmのTa層37、膜厚50nmのAl層38、及び膜厚10nmのTa層39が順次形成された多層膜で形成されている。またトンネルバリア膜29上には、少なくとも記録層30の周囲を取り囲むようにして側壁絶縁膜40が形成されている。側壁絶縁膜40は、例えばAl₂O₃膜で形成される。

【0037】

また非磁性導電膜23上には、磁気抵抗素子27、キャップ層36、及び側壁絶縁膜40を被覆するようにして、SiO₂膜41が形成されている。SiO₂膜41は、磁気抵抗素子27を保護するためのものである。更に層間絶縁膜21上には、非磁性導電膜23及びSiO₂膜41を被覆するようにして、層間絶縁

膜42が形成されている。そして、コンタクトプラグ43が、層間絶縁膜42及びSiO₂膜41内に形成されている。コンタクトプラグ43は、層間絶縁膜42の表面から、キャップ層36のTa層39に達している。層間絶縁膜42上には、コンタクトプラグ43に接続されるビット線44が形成されている。

【0038】

以上のようにして、磁気抵抗素子27とスイッチングトランジスタ11を含むメモリセルが形成されている。磁気抵抗素子27の固着層28の спинの向きは、予め所定の向きに向くよう設定されている。その上で、記録層30のスピニの向きを固着層28に対して平行、または反平行とすることで、2つの状態を作り出し、“0”データ、または“1”データが磁気抵抗素子27に書き込まれる。

【0039】

次に、図1、図2に示す半導体記憶装置の製造方法について、図3並びに図4乃至図15を用いて説明する。図3は、本実施形態に係るMRAMの製造工程のフローチャートであり、図4乃至図15は製造工程を順次示す断面図である。なお、図5乃至図15では、金属配線層19、20以下のレベルにある構造は省略する。

【0040】

まず、図3におけるステップS1において、選択トランジスタ11及びコンタクトプラグを形成する。すなわち図4に示すように、半導体基板10内に素子分離領域STIを形成する。そして、素子分離領域STIによって取り囲まれた素子領域AA上に、選択トランジスタ11を周知の方法によって形成する。選択トランジスタ11のゲート電極13は、容易軸方向に沿ったストライプ状の形状に形成される。次に半導体基板10上に、層間絶縁膜14を形成する。層間絶縁膜14は選択トランジスタ11を被覆する。その後、層間絶縁膜14内にコンタクトプラグ15を形成する。コンタクトプラグ15は選択トランジスタのドレイン領域12に接続される。

【0041】

次に層間絶縁膜14上に金属配線層16を形成する。金属配線層16はコンタクトプラグ15に接続される。そして層間絶縁膜14上に層間絶縁膜17を形成

する。引き続き、層間絶縁膜17内にコンタクトプラグ18を形成する。コンタクトプラグ18は金属配線層16に接続される。

【0042】

次に層間絶縁膜17上に、金属配線層19、20を形成する。金属配線層19はコンタクトプラグ18に接続されている。金属配線層20は、金属配線層19と分離されており、容易軸方向に沿ったストライプ状の形状に形成され、且つ、ゲート電極13の直上に位置する。その後、層間絶縁膜17上に層間絶縁膜21を形成する。層間絶縁膜21は、金属配線層19、20を被覆する。引き続き、層間絶縁膜21内にコンタクトプラグ22を形成する。コンタクトプラグ22は金属配線層19に接続される。

【0043】

次に、図3におけるステップS2において、層間絶縁膜21上に非磁性層及び強磁性層を形成する。すなわち図5に示すように、層間絶縁膜21及びコンタクトプラグ22上に、非磁性導電膜を形成する。より具体的には、例えば膜厚3nmのTa層24、膜厚30nmのAl層25、膜厚30nmのTa層26を順次、スパッタリング法により形成する。非磁性導電膜は、引き出し配線を形成するためのものである。引き続き、非磁性導電膜上に強磁性層を形成する。より具体的には、例えば膜厚3nmのシード層31、膜厚15nmの反強磁性層32、膜厚5nmの固着強磁性層33を順次、スパッタリング法により堆積する。これらシード層31、反強磁性層32、及び固着強磁性層33を含む多層膜は、磁気抵抗素子の固着層を形成するためのものである。

【0044】

更に、固着強磁性層33上にトンネルバリア膜29を形成する（ステップS3）。トンネルバリア膜29は例えば次のようにして形成される。すなわち、固着強磁性層33上に例えば膜厚1~1.5nm程度のAl層をスパッタリングにより形成する。そしてAl層をICP（Inductively Coupled Plasma）法によりプラズマ酸化する。その結果、Al層が酸化されて、トンネルバリア膜29となる Al_2O_3 層が形成される。勿論、Alを酸化するのではなく、例えばスパッタリング法やCVD（Chemical Vapor Deposition）法等により Al_2O_3 層を強

磁性層に堆積しても良い。その結果、図5に示す構造が完成する。

【0045】

次に、図3におけるステップS4において、トンネルバリア膜29上に強磁性層及び非磁性層を形成する。すなわち図6に示すように、トンネルバリア膜29上に、例えば膜厚4nmのCoFe層34及び膜厚20nmのパーマロイ層35を順次、スパッタリング法により堆積する。この多層膜は、磁気抵抗素子の記録層を形成するためのものである。引き続き、パーマロイ層35上に非磁性導電膜を形成する。具体的には、例えば膜厚20nmのTa層37、膜厚50nmのAl層38、及び膜厚10nmのTa層39を順次、スパッタリング法により堆積する。この非磁性導電膜は、キャップ層を形成するためのものである。その結果、図6に示す構造が完成する。

【0046】

次に、図3におけるステップS5において、非磁性導電膜上にフォトレジストを塗布し、更にフォトレジストをパターニングする。すなわち、Ta層39上にフォトレジスト50を塗布する。そして、フォトリソグラフィ技術を用いて、フォトレジスト50を図7に示すような磁気抵抗素子の形成パターンにパターニングする。このパターンは、図2に示すような、長軸が容易軸方向に沿った橒円のパターンである。勿論、長方形等、他の形状であっても良い。

【0047】

次に、図3におけるステップS6において、非磁性導電膜及び強磁性層をパターニングして、キャップ層36及び記録層30を形成する。すなわち図8に示すように、フォトレジスト50をマスクに用いたRIE法(Reactive Ion Etching)またはArイオンミリングを用いてエッチングを行う。このエッチングは、トンネルバリア膜29が露出されるまで行う。その結果、Ta層39、37及びAl層38がパターニングされて、キャップ層36が形成される。またPy層35及びCoFe層34がパターニングされて、磁気抵抗素子の記録層30が形成される。

【0048】

その後レジスト50を除去する(ステップS7)。

【0049】

次に図3におけるステップS8において、A1層を形成する。すなわち図9に示すように、トンネルバリア膜29、記録層30、及びキャップ層36上に、膜厚5nm程度のA1層51をスパッタリング法により堆積する。この際、記録層30側面のA1層51膜厚は3nm程度である。トンネルバリア膜29上及びキャップ層36上に形成されるA1層51の膜厚と、記録層30側面及びキャップ層36側面に形成されるA1層51の膜厚との関係は、スパッタリング時のA1の堆積条件によって変化させることが出来る。例えば、ターゲットと半導体基板との距離等によって制御可能である。

【0050】

次に図3におけるステップS9において、A1層を酸化してAl₂O₃層40を形成する。すなわち図10に示すように、ICP法を用いてA1層51をプラズマ酸化する。これにより、A1層51はAl₂O₃層40となり、また記録層30及びキャップ層36は、Al₂O₃層40により被覆される。

【0051】

なお、ステップS8、S9におけるA1層51の形成工程及びA1層51の酸化工程は、大気に晒すことなく行うことが望ましい。そのために、スパッタリングとプラズマ酸化処理とを連続的に行うことの出来る半導体製造装置を用意する必要がある。この製造装置は、例えばスパッタリング室と酸化室とを有し、更に半導体基板を外気に晒すことなく両者の間を搬送出来る機構を有するものである。そして、まずスパッタリング室内でA1層51を形成した後、当該半導体製造装置から外部に取り出すことなく酸化室へ搬送し、A1層51のプラズマ酸化を行う。

【0052】

次に図3におけるステップS10において、ArイオンミリングまたはRIE法を用いてAl₂O₃層40をエッチングして側壁絶縁膜を形成する。引き続き、ステップS11において、Arイオンミリングを用いてトンネルバリア膜29のエッチングを行う。本実施形態において、トンネルバリア膜29はAl₂O₃で形成されているので、両者のエッチングは同様の条件で連続的に行うことが可

能である。その結果、図11に示すように、 Al_2O_3 層40はトンネルバリア膜29上で且つ記録層30側面及びキャップ層36一部の側面にのみ残存する。更に Al_2O_3 層40は、記録層30の周囲を取り囲むようにして残存する。

【0053】

次に図3におけるステップS12において、強磁性層をパターニングして固着層を形成する。すなわち、ArイオンミリングまたはRIE法を用いて、強磁性層のエッティングを行う。その結果、図12に示すような固着層28が形成される。なお、固着層28の側面は Al_2O_3 層40の側面と同一面上に位置するようにならって形成される。従って、固着層28の幅は、記録層30の幅よりも Al_2O_3 層40の幅の2倍だけ広く形成される。本工程により、図2に示したような、長軸が容易軸方向に沿った橢円形状の磁気抵抗素子27が完成する。なお、後述するように、漏れ磁界による影響を制御し、漏れ磁界による影響の磁気抵抗素子毎のバラツキを低減するためには、上記のように固着層28を形成する積層膜全てをパターニングしても良いが、ステップS12において、少なくとも固着強磁性層33がパターニングされていれば足りる。この際、固着強磁性層33の幅は、記録層30の幅よりも Al_2O_3 層40の幅の2倍だけ広く形成される。

【0054】

次に図3におけるステップS13において、保護絶縁膜を形成する。すなわち図13に示すように、Ta層26上に、磁気抵抗素子27を被覆するようにして SiO_2 膜41をスパッタリング法またはCVD(Chemical Vapor Deposition)法により形成する。

【0055】

引き続きステップS14において、 SiO_2 膜41上にフォトレジスト52を塗布する。そして、フォトリソグラフィ技術を用いて、フォトレジスト52を図13に示すようにパターニングする。

【0056】

次に図3におけるステップS15において、フォトレジスト52をマスクに用いたRIE法等の異方性のエッティングにより、 SiO_2 膜41パターニングする。その結果、図14に示すような保護絶縁膜41が完成する。その後フォトレジ

スト52を除去する（ステップS16）。

【0057】

次に図3におけるステップS17において、保護絶縁膜41をマスクに用いたRIE法やイオンミリングにより、非磁性導電膜23をパターニングする。その結果、図15に示すような引き出し配線23が完成する。

【0058】

その後は、層間絶縁膜21上に層間絶縁膜42を形成する。そして、フォトリソグラフィ技術とRIE法とを用いて、磁気抵抗素子27に達するコンタクトホールを形成する。更にコンタクトホールを導電物で埋め込むことでコンタクトプラグ43を形成する。その後、層間絶縁膜42上にビット線44を形成して、図1に示すMRAMが完成する。

【0059】

上記のように、この発明の第1の実施形態によれば、MRAMの製造歩留まりを向上できる。この点について以下説明する。

【0060】

まず、磁気抵抗素子27において、トンネルバリア膜29を介在して対向する2つの強磁性層の少なくともいずれか一方の側面に、側壁絶縁膜40が形成されている。本実施形態においては、側壁絶縁膜40は記録層30の側面に形成され、記録層30の周囲を取り囲んでいる。従って、図12で説明したArイオンミリング工程において、磁気抵抗素子27の周囲に残渣が残存したとしても、その残渣が固着層28と、側壁絶縁膜40よりも高い位置にあるキャップ層36とに接する大きさで無い限り、固着層28と記録層30との間のショートを防止できる。例えば本実施形態の場合であると、側壁絶縁膜40の高さは約80nm程度である。従って、Arイオンミリング時に残留する残渣の大きさが80nm程度以上でない限り、固着層28と記録層30との間のショートの発生を抑制出来る。従来構成であると、トンネルバリア膜の膜厚と同程度の1~1.5nmの大きさの残渣がショートの原因であった。従って、本実施形態に係る構成であると、従来に比して残渣の除去の難易度が大幅に低減される。その結果、MRAMの製造歩留まりが向上され、特に大規模なMRAMにおいて効果的に向上できる。

【0061】

また、側壁絶縁膜40を形成することによってショートの発生を抑制している。従って、図12で説明したArイオンミリングを斜め方向から行う必要がない。すなわち、Arイオンミリングを半導体基板面にほぼ垂直な入射角で行うことが出来る。従って、磁気抵抗素子27の側面は、半導体基板面に対してほぼ垂直になる。その結果、隣接する磁気抵抗素子27間でのショートの発生を抑制でき、MRAMの製造歩留まり向上に寄与する。

【0062】

更に、本実施形態に係る製造方法であると、磁気抵抗素子27の側壁に形成したAl層51を酸化することによって、側壁絶縁膜40を形成している。この製造方法であると、酸化はAl層51の外側面から徐々に進む。そして、最終的にはAl層51の全てが酸化され、Al₂O₃層40が形成される。この際、トンネルバリア膜29であるAl₂O₃層の端部にも酸素が導入される。トンネルバリア膜29は、記録層30をArイオンミリングによってパターニングする際に、その表面をArイオンによって叩かれるためダメージを受ける。その結果、トンネルバリア膜29の端部では酸素が欠損する場合がある。すると、Al₂O₃層40は十分に絶縁性を保持する。その結果、記録層30と固着層28との間を電気的に十分に分離することが出来る。すなわち、磁気抵抗素子27内でのショートの発生を防止出来、MRAMの製造歩留まりを向上できる。

【0063】

更にこの発明の第1の実施形態によれば、MRAMの動作信頼性を向上できる。この点について以下説明する。

【0064】

本実施形態に係る製造方法であると、図12で説明したArイオンミリングを、半導体基板面にほぼ垂直な入射角で行うことが出来る。従って、磁気抵抗素子27の記録層30の形状制御が容易である。そのため、書き込みに必要な電流値

が、磁気抵抗素子毎にばらつくことを抑制することが可能である。その結果、M R A Mの書き込み動作マージンを広くすることが出来、M R A Mの動作信頼性を向上できる。

【0065】

更に、上記のように記録層30の形状制御が容易であるため、記録層30に対する固着層28の横方向への拡がり幅を制御し易い。従って、固着層28からの漏れ磁界等による影響の、磁気抵抗素子毎のばらつきを低減できる。その結果、M R A Mの書き込み動作マージンを広く出来、M R A Mの動作信頼性を向上できる。

【0066】

次に、この発明の第2の実施形態に係る半導体記憶装置の製造方法について、図16並びに図17及び図18を用いて説明する。図16は、本実施形態に係るM R A Mの製造工程のフローチャートであり、図17及び図18は製造工程の一部を順次示す断面図である。本実施形態は、上記第1の実施形態で説明した図1、図2に示すM R A Mの別の製造方法を説明するためのものである。

【0067】

まず、上記第1の実施形態で説明したステップS1～S8の工程を経て、図9に示す構造を得る。その後図16におけるステップS20において、A1層51をエッティングする。すなわち図17に示すように、ArイオンミリングまたはRIE法によりA1層51をエッティングする。その結果、図示するように、A1層51は、トンネルバリア膜29上で且つ記録層30及びキャップ層36の側面にのみ残存する。更にA1層51は、記録層30の周囲を取り囲むようにして残存する。

【0068】

次に図16におけるステップS21において、A1層51を酸化してA1₂O₃層を形成する。すなわち、例えばICP法等を用いてA1層51をプラズマ酸化する。その結果、図18に示すように、A1₂O₃層による側壁絶縁膜40が完成する。

【0069】

なお本実施形態に係る製造方法においても、ステップS8、S20、S21の工程は大気に晒すことなく行うことが望ましい。そのために、スパッタリング、プラズマ酸化処理、及びRIEまたはイオンミリングを連続的に行うことの出来る半導体製造装置を用意する必要がある。そして、この半導体製造装置内部において一連の処理を行う。但し、RIEとイオンミリングとを比較した場合、RIEの方がより好ましい。

【0070】

次にステップS11において、トンネルバリア膜29をパターニングすることで、図11に示す構造が得られる。その後は、第1の実施形態と同様に、ステップS12～S17の工程を経ることにより、図1及び図2に示すMRAMが完成する。

【0071】

本実施形態によれば、上記第1の実施形態と同様の効果が得られると同時に、MRAMの動作信頼性を更に向上させることが出来る。この点につき以下説明する。

【0072】

本実施形態に係る製造方法であると、A1層51のエッチングを行った後に、A1層51の酸化を行い、Al₂O₃層40を形成している。従って、第1の実施形態のように固着層28をパターニングする前のAl₂O₃層40のエッチング工程が必要ない。そして、A1はAl₂O₃に比して、Arイオンミリングの際のエッチングレートが早い。従って、固着層28を形成するための、Arイオンミリングによる強磁性層のエッチングの際、引き出し配線となるTa層26が露出した時点でエッチングをストップすることが容易である。その結果、引き出し配線23の抵抗分布が改善される。更に、RIEによってA1のエッチングを行った場合には、引き出し配線23の抵抗分布を更に改善できる。なぜなら、RIEを用いればA1層51のエッチングを選択的に行うことが可能であり、エッチングをトンネルバリア膜29の表面で確実にストップできるからである。そしてこの場合、Arイオンミリングでエッチングする必要があるのは、トンネルバリア膜29及び固着層28のみだからである。よって、読み出し動作マージンを

拡げることが出来、MRAMの動作信頼性を向上できる。

【0073】

次に、この発明の第3の実施形態に係る半導体記憶装置の製造方法について、図19並びに図20乃至図28を用いて説明する。図19は、本実施形態に係るMRAMの製造工程のフローチャートであり、図20乃至図28は製造工程の一部を順次示す断面図である。本実施形態は、上記第2の実施形態に係るMRAMの製造方法において、ハードマスクを用いる場合に関するものである。

【0074】

まず、上記第1の実施形態で説明したステップS1～S4の工程を経て、図6の構造を得る。次に図19におけるステップS30において、Ta層39上にハードマスク層53をスパッタリング法またはCVD法を用いて形成する。

【0075】

次に図19におけるステップS31において、ハードマスク層53上にフォトレジストを塗布し、更にフォトレジストをパターニングする。すなわち図21に示すように、上記第1の実施形態のステップS5で説明した工程と同様に、フォトリソグラフィ技術を用いてフォトレジスト50を磁気抵抗素子の形成パターンにパターニングする。

【0076】

次に図19におけるステップS32において、フォトレジスト50をマスクに用いたRIE法またはArイオンミリングにより、ハードマスク層53をパターニングする。その後フォトレジスト50を除去する（ステップS33）。引き続き図19におけるステップS34において、ハードマスク層53をマスクに用いたRIE法またはArイオンミリングにより、非磁性層（Ta層39、37、Al層38）をパターニングする。その結果、図22に示すようなキャップ層36が完成する。

【0077】

次に図19におけるステップS35において、強磁性層をパターニングして記録層30を形成する。すなわち図23に示すように、ハードマスク層53をマスクに用いたRIE法またはArイオンミリングによりエッチングを行う。このエ

ツチングは、トンネルバリア膜29が露出されるまで行う。その結果、Py層35及びCo層34がパターニングされて、磁気抵抗素子の記録層30が形成される。

【0078】

次に図19におけるステップS8において、A1層を形成する。すなわち図24に示すように、トンネルバリア膜29、記録層30、キャップ層36、及びハードマスク層53上に、膜厚5nm程度のA1層51をスパッタリング法により形成する。本工程は、上記第1の実施形態で説明したステップS8の工程に相当する。

【0079】

次に図19におけるステップS20において、A1層51をエッチングする。すなわち図25に示すように、ArイオンミリングまたはRIE法によりA1層51をエッチングする。その結果、図示するように、A1層51は、トンネルバリア膜29上で且つ記録層30、キャップ層36及びハードマスク層53の側面にのみ残存する。特にA1層51は、記録層30の周囲を取り囲むようにして残存する。

【0080】

次に図19におけるステップS21において、A1層51を酸化してAl₂O₃層を形成する。すなわち、例えばICP法等を用いてA1層51をプラズマ酸化する。その結果、図26に示すように、Al₂O₃層による側壁絶縁膜40が完成する。

【0081】

なお本実施形態に係る製造方法においても、ステップS35、S8、S20、S21の工程は大気に晒すことなく行うことが望ましい。そのために、スパッタリング、プラズマ酸化処理、及びRIEまたはイオンミリングを連続的に行うことの出来る半導体製造装置を用意する必要がある。

【0082】

次に図19におけるステップS11において、トンネルバリア膜29をパターニングすることで、図27に示す構造を得る。引き続きステップS12において

、強磁性層をパターニングする。その結果、図28に示すような固着層28が完成する。

【0083】

その後は上記第1の実施形態で説明したとおり、ステップS13～S17に示す工程を行うことにより、MRAMが完成する。

【0084】

本実施形態に係る製造方法によっても、上記第1、第2の実施形態と同様の効果を得ることが出来る。

【0085】

図29は、本実施形態の変形例に係るMRAMの製造工程のフローチャートである。本変形例は、上記第1の実施形態においてハードマスク層を用いた場合に関する。すなわち、ハードマスク層を用いる場合にであっても、 Al_2O_3 層をパターニングすることによって側壁絶縁膜を形成しても良い。

【0086】

次に、この発明の第4の実施形態に係る半導体記憶装置について、図30を用いて説明する。図30はMRAMのメモリセルの、特に磁気抵抗素子の断面図である。

【0087】

図示するように、本実施形態に係るMRAMの磁気抵抗素子27は、上記第1乃至第3の実施形態に係る構成において、トンネルバリア膜29である Al_2O_3 の組成を工夫したものである。すなわち、トンネルバリア膜29の酸素含有率は、磁気抵抗素子27の中央よりも、端部において高くされている。具体的には、トンネルバリア膜の組成は、磁気抵抗素子中央部では Al_2O_x 、端部では Al_2O_y である。但し、x、yは共に3に近い数であり、 $y > x$ である。

【0088】

本構造は、上記第1乃至第3の実施形態において、A1層51を酸化する際に、酸化工程の時間を長くすることで、過剰な酸化を施すことで形成可能である。過剰な酸化を行うことで、酸素がトンネルバリア膜29へも侵入する。その結果、磁気抵抗素子端部の Al_2O_3 の酸素含有率が高くなる。より具体的には、図

10、図18、図26の工程において、記録層30の面内縁部直下に位置する領域のトンネルバリア膜29内に酸素を導入する。その結果、当該領域におけるトンネルバリア膜29内の酸素含有率を、面内中央部に比べて高くすることが出来る。

【0089】

本実施形態に係る構成であると、上記第1、第2の実施形態と同様の効果が得られると同時に、MRAMの動作信頼性を更に向上できる。この点について以下説明する。

【0090】

図31は、理想的な磁気抵抗素子の平面形状を示している。磁気抵抗素子は、本来、完全な橢円形状であることが望ましい。この場合、図示するように面内においてスピニの向きはほぼ一定である。

【0091】

しかし、 $0.1\mu m$ 程度の磁気抵抗素子を形成するための加工技術は困難度が高い。従って、現実には図32に示すように、磁気抵抗素子の周辺部はある程度ギザギザの形状になり易い。このような状況では、周辺部のスピニの向きは乱れており、記録層のスピニの向きは、固着層に対して必ずしも平行/反平行とはならない。そして、ギガビットクラスのMRAMにおいては、磁気抵抗素子のサイズが小さいため、MTJ素子の周辺部の影響が無視できない。従って、磁気抵抗素子のMR比が実質的に低下する。その結果、読み出し動作のマージンが狭まり、MRAMの動作信頼性を損ねるという虞があった。

【0092】

しかしながら本実施形態に係る構成であると、図33に示すように、ギザギザの形状となる磁気抵抗素子の周辺部は、トンネルバリア膜29の酸素含有率が高い。従って、単位面積あたりのトンネル抵抗は磁気抵抗素子中央部では低く、端部で高くなる。すなわち、トンネル電流は磁気抵抗素子中央部を通りやすく、端部では通りにくい。すると、トンネルバリア膜29の組成が $A_{1-x}O_y$ である領域は、殆ど磁気抵抗素子として機能しない。この領域は、スピニの向きが乱れやすい領域である。そして、実質的に磁気抵抗素子として機能するのは、トンネル

バリア膜29の組成が Al_2O_x である領域であり、この領域ではスピンの向きはほぼ一定に揃っている。そのため、磁気抵抗素子の端部におけるスピンの向きの乱れが磁気抵抗素子のMR比の低下に与える影響を小さく出来る。よって、ギガビットクラスのMRAMにおいても、読み出しマージンが広く高信頼性のMRAMを実現できる。

【0093】

次に、この発明の第5の実施形態に係る半導体記憶装置について、図34を用いて説明する。図34はMRAMのメモリセルの、特に磁気抵抗素子の断面図である。

【0094】

図示するように、本実施形態に係るMRAMの磁気抵抗素子27は、上記第1乃至第3の実施形態に係る構成において、磁気抵抗素子端部におけるトンネルバリア膜29の膜厚を大きくしたものである。すなわち、トンネルバリア膜29の膜厚は、磁気抵抗素子中央部ではd1、端部ではd2である。但し、 $d_2 > d_1$ である。

【0095】

本構造は、上記第1乃至第3の実施形態において、Al層51を酸化する際に、酸化工程の時間を長くすることで、過剰な酸化を施すことで形成可能である。過剰な酸化を行うことで、酸素が Al_2O_3 層29だけでなく、記録層30の面内端縁部であって且つトンネルバリア膜29に接する領域へも侵入する。その結果、記録層30を形成するCoFe層34の一部が酸化され、 CoO_x 層及び FeO_x 層が形成される。 CoO_x 層及び FeO_x 層は絶縁物であり、トンネルバリア膜の一部として機能することになる。すなわち、磁気抵抗素子端部においては、トンネルバリア膜29が、 Al_2O_3 層、 CoO_x 層及び FeO_x 層とで形成される。従って、見た目上、トンネルバリア膜29の膜厚が、磁気抵抗素子中央部においてよりも端部において大きくなる。

【0096】

本実施形態であると、上記第1、第2の実施形態で説明した効果に加えて、上記第4の実施形態で説明した効果が得られる。すなわち、本実施形態に係る構造

であると、図35に示すように、ギザギザの形状となる磁気抵抗素子27の周辺部は、トンネルバリア膜29の膜厚が大きい。従って、単位面積あたりのトンネル抵抗は磁気抵抗素子中央部では低く、端部では高い。よって、トンネル電流は磁気抵抗素子中央部を通りやすく、端部では通りにくい。その結果、上記第4の実施形態で説明した作用によって、磁気抵抗素子の端部におけるスピニの向きの乱れが磁気抵抗素子のMR比の低下に与える影響を小さくできる。そのため、読み出しマージンが広く、高信頼性のMRAMを実現できる。

【0097】

次に、この発明の第6の実施形態に係る半導体記憶装置について、図36を用いて説明する。図36はMRAMのメモリセルの、特に磁気抵抗素子の断面図である。

【0098】

図示するように、本実施形態に係るMRAMの磁気抵抗素子27は、上記第1乃至第3の実施形態に係る構成において、磁気抵抗素子端部におけるトンネルバリア膜29の膜厚を更に大きくしたものである。すなわち、トンネルバリア膜29の膜厚は、磁気抵抗素子中央部ではd1、端部ではd3である。但し、 $d_3 > d_2 > d_1$ である。

【0099】

本構造は、上記第1乃至第3の実施形態において、Al層51を酸化する際に、酸化工程の時間を長くすることで、過剰な酸化を施すことで形成可能である。過剰な酸化を行うことで、酸素が Al_2O_3 層29だけでなく、固着層28及び記録層30へも侵入する。その結果、固着層28を形成する固着強磁性層33の一部、及び記録層30を形成するCoFe層34の一部が酸化され、 CoO_x 層及び FeO_x 層が形成される。従って、磁気抵抗素子端部においては、トンネルバリア膜29が、 Al_2O_3 層と、CoFe層33、34を酸化して形成された CoO_x 層及び FeO_x 層とで形成される。従って、見た目上、トンネルバリア膜29の膜厚が、磁気抵抗素子中央部においてよりも端部において大きくなる。

【0100】

本実施形態に係る構造によれば、上記第5の実施形態と同様の効果が得られる

。また第5の実施形態と比べて、磁気抵抗素子端部におけるトンネル抵抗を更に大きくすることが出来る。従って、読み出しマージンを更に広くすることが出来、信頼性の高いMRAMが実現できる。

【0101】

次に、この発明の第7の実施形態に係る半導体記憶装置について、図37を用いて説明する。図37はMRAMのメモリセルの、特に磁気抵抗素子の断面図である。

【0102】

図示するように、磁気抵抗素子27は、固着層28、固着層28上に形成されたトンネルバリア膜29、及びトンネルバリア膜29上に形成された記録層30を備えている。固着層28は、積層構造を有しており、例えばPyで形成されたシード層31、IrMnで形成された反強磁性層32、及びCoFeで形成された固着強磁性層33を含んでいる。また記録層30は、Py35/CoFe34の多層構造を有している。そして、トンネルバリア膜29の膜厚は、磁気抵抗素子の中央部でd1、端部でd4とされている($d_4 > d_1$)。

【0103】

次に本実施形態に係る磁気抵抗素子の形成方法について、図38及び図39を用いて説明する。図38及び図39は、MRAMの製造工程の一部を順次示す断面図である。

【0104】

まず、上記第1の実施形態で説明した図3におけるステップS1～S5の工程により、図7に示す構造を得る。次に、フォトレジスト50をマスクに用いたAr/C₁₂混合ガス中において、例えば基板温度220℃の条件下のRIE法を用いてエッチングを行う。このエッチングは、引き出し配線の一部であるTa層26が露出されるまで行う。その結果、Ta層39、A1層38、Ta層37、Py層35、CoFe層34、Al₂O₃層29、固着強磁性層33、反強磁性層32、及びシード層31が順次エッチングされ、図38に示す構造の磁気抵抗素子が得られる。なお、上記エッチングの際に、一部の塩素イオンはAl₂O₃層29端部近傍に付着する。そして、微量の塩素原子が、220℃という基板温

度のために、 Al_2O_3 層29と CoFe 層33、34との界面に沿って磁気抵抗素子の内側方向へと拡散する。

【0105】

次に、磁気抵抗素子を酸化雰囲気中に晒す。より具体的には、例えば圧力200 Torr程度の酸素雰囲気中で5分間程度、磁気抵抗素子を酸化する。これにより、磁気抵抗素子端部におけるトンネルバリア膜29の上下の CoFe 層33、34は、エッティング工程中に導入された微量の塩素原子の存在により、その海面付近で増速酸化を生じ、図39に示す構造が得られる。

【0106】

本実施形態に係る構成であると、上記第1乃至第3の実施形態と異なり、側壁絶縁膜40を形成していない。しかし、磁気抵抗素子端部における Al_2O_3 層29の上下の CoFe 層33、34を酸化して CoO_x 層及び FeO_x 層を形成している。従って、磁気抵抗素子端部におけるトンネルバリア膜29の膜厚が大きくなつたとみなすことが出来る。従って、上記第1の実施形態と同様に、残渣により固着層28と記録層30との間でショートが発生するのを抑制できる。また、図12で説明した磁気抵抗素子のエッティングを、半導体基板面にほぼ垂直な入射角で行うことが出来る。従って、隣接する磁気抵抗素子間でのショートの発生を抑制できる。更に、酸化によって、磁気抵抗素子端部における Al_2O_3 層29の端部に酸素が補償されるため、固着層28と記録層30との間のショートの発生を抑制できる。上記の結果、MRAMの製造歩留まりを向上できる。また、上記第1の実施形態と同様に、MRAMの動作信頼性を向上できる。

【0107】

次に、この発明の第8の実施形態に係る半導体記憶装置について図40を用いて説明する。図40は、本実施形態に係るMRAMのメモリセルの断面図である。本実施形態は、上記第1の実施形態を、トップピン型のMRAMに適用したものである。従って、本実施形態に係る構造は、磁気抵抗素子及びその周囲の構造以外は上記第1の実施形態で述べた構造と同様である。従って、上記第1の実施形態と同様の部分についての説明は省略する。

【0108】

図示するように、引き出し配線として機能する非磁性導電膜23上には、磁気抵抗素子27が形成されている。磁気抵抗素子27は、例えばMTJ素子である。磁気抵抗素子27の構造について、図40、図41を用いて説明する。図41は、特に磁気抵抗素子27に着目した半導体記憶装置の斜視図である。

【0109】

図示するように、磁気抵抗素子27は、長軸が容易軸方向に沿った略楕円の形状を有している。そして、非磁性導電膜23上に形成された記録層30、記録層30上に形成されたトンネルバリア膜29、及びトンネルバリア膜29上に形成された固着層28を含んでいる。記録層30は、例えば膜厚5nmのCuで形成されたシード層60及び例えば膜厚5nmのパーマロイ(Py:NiFe)層65が順次形成された積層膜により形成されている。トンネルバリア膜29は、例えば膜厚1~1.5nm程度のAl₂O₃層で形成される。固着層28は、例えば膜厚1.5nmのCoFe層61、膜厚1nmのRu層62、及び例えば膜厚2nmのCoFe層63が順次形成された積層膜により形成されている。

【0110】

記録層30及びトンネルバリア膜29の表面積は互いにほぼ同一であり、互いに重なり合っている。固着層28は、記録層30及びトンネルバリア膜29よりも表面積は小さく、トンネルバリア膜29上に完全に戴置された格好となっている。以上のようにして、磁気抵抗素子27が形成されている。

【0111】

固着層28上には、反強磁性層64が形成されている。反強磁性層64は、例えば膜厚15nmのIrMn層で形成されている。更に反強磁性層64上にはキャップ層36が形成されている。キャップ層36は、例えば膜厚5nmのTa層で形成されている。またトンネルバリア膜29上には、少なくとも固着層28の周囲を取り囲むようにして側壁絶縁膜40が形成されている。側壁絶縁膜40は、例えばAl₂O₃膜で形成される。

【0112】

上記の他は、第1の実施形態と同様の構成である。

次に、図40、図41に示す半導体記憶装置の製造方法について、図42並び

に図43乃至図48を用いて説明する。図42は、本実施形態に係るMRAMの製造工程のフローチャートであり、図43乃至図48は製造工程を順次示す断面図である。なお、図43乃至図48では、金属配線層19、20以下のレベルにある構造は省略する。また、ここでは上記第1の実施形態で説明した製造方法と異なる点のみ詳細に説明する。

【0113】

まず、第1の実施形態で説明した通り、図42におけるステップS1において図4に示す構造を得る。次にステップS2において、層間絶縁膜21上に、非磁性層、金属層、及び強磁性層を形成する。すなわち図43に示すように、層間絶縁膜21及びコンタクトプラグ22上に、非磁性導電膜(Ta層26/A1層25/Ta層24)を形成する。引き続き、非磁性導電膜上に金属層、例えば膜厚5nmのCu層60を形成する。次に、金属層60上に強磁性層、例えば膜厚5nmのパーマロイ層30を形成する。金属層60及び強磁性層65は、記録層を形成するためのものである。

【0114】

更にステップS3において、強磁性層65上にトンネルバリア膜29を形成する。引き続きステップS41において、トンネルバリア膜29上に、強磁性層を形成する。すなわち、トンネルバリア膜29上に、例えば膜厚1.5nmのCoFe層61、膜厚1nmのRu層62、及び膜厚2nmのCoFe層63を順次、スパッタリング法により形成する。CoFe/Ru/CoFeの多層膜で形成される強磁性層は、磁気抵抗素子の固着層を形成するためのものである。引き続き、CoFe層63上に反強磁性層、例えば膜厚15nmのIrMn層64を形成する。更にIrMn層64上に非磁性導電膜、例えば膜厚5nmのTa層36を形成する。この非磁性導電膜は、キャップ層を形成するためのものである。その結果、図43に示す構造が完成する。

【0115】

次にステップS5において、非磁性導電膜36上にフォトトレジストを塗布する。そして、フォトリソグラフィ技術を用いて、フォトトレジストを磁気抵抗素子の形成パターンにパターニングする。引き続きステップS42において、非磁性導

電膜36、反強磁性層64、及び強磁性層61～63を、RIE法またはArイオンミリングを用いてパターニングする。その結果、図44に示すように、磁気抵抗素子の固着層28が形成される。その後、レジストを除去する（ステップS7）。

【0116】

次にステップS8において、A1層51を形成して、図45に示す構造を得る。引き続き、ステップS9において、A1層51を酸化して Al_2O_3 層40を形成する。この結果、図46に示す構造が得られる。すなわち、固着層28、反強磁性層64、及びキャップ層36は、 Al_2O_3 層40により被覆される。

【0117】

次に図42におけるステップS10において、 Al_2O_3 層40をエッチングして側壁絶縁膜を形成する。引き続き、ステップS11において、トンネルバリア膜29のエッチングを行う。その結果、図47に示すように、 Al_2O_3 層40はトンネルバリア膜29上で且つ固着層28側面、反強磁性層64側面及びキャップ層36一部の側面にのみ残存する。更に Al_2O_3 層40は、固着層28及び反強磁性層64の周囲を取り囲むようにして残存する。なお Al_2O_3 層40は、少なくとも固着層28の周囲を取り囲んでいれば良く、反強磁性層64の側面全面を取り囲む必要はない。

【0118】

次にステップS43において、強磁性層65及び金属層60をパターニングする。その結果、図48に示すような記録層30が形成される。なお、記録層30の側面は Al_2O_3 層40の側面と同一面上に位置するように形成される。従って、記録層30の幅は、固着層28の幅よりも Al_2O_3 層40の幅の2倍だけ広く形成される。本工程により、図41に示したような、長軸が容易軸方向に沿った橢円形状の磁気抵抗素子27が完成する。また第1の実施形態で述べたとおり、記録層30を形成する積層膜全てをパターニングしても良いが、ステップS43において、少なくともNiFe層65がパターニングされていれば足りる。

【0119】

その後は、上記第1の実施形態で説明したステップS13～S17の工程を経

て、図40、図41に示す構造が完成する。

【0120】

上記のように、本実施形態に係る構造及び製造方法によれば、記録層上に固着層が形成されるトップピン型構造のMRAMにおいても、上記第1の実施形態と同様の効果が得られる。

【0121】

次に、この発明の第9の実施形態に係る半導体記憶装置の製造方法について、図49並びに図50及び図51を用いて説明する。図49は、本実施形態に係るMRAMの製造工程のフローチャートであり、図50及び図51は製造工程の一部を順次示す断面図である。本実施形態は、上記第2の実施形態を、トップピン型のMRAMに適用したものであり、上記第8の実施形態で説明した図40、図41に示すMRAMの別の製造方法を説明するものである。

【0122】

まず、上記第8の実施形態で説明したステップS1～S8の工程を経て、図45に示す構造を得る。その後図49におけるステップS20において、A1層51をエッチングする。すなわち図50に示すように、ArイオンミリングまたはRIE法によりA1層51をエッチングする。その結果、図示するように、A1層51は、トンネルバリア膜29上で且つ固着層28、反強磁性層64及びキャップ層36の側面にのみ残存する。更にA1層51は、固着層28の周囲を取り囲むようにして残存する。

【0123】

次にステップS21において、A1層51を酸化してAl₂O₃層を形成する。その結果、図51に示すように、Al₂O₃層による側壁絶縁膜40が完成する。

【0124】

次にステップS11において、トンネルバリア膜29をパターニングすることで、図47に示す構造が得られる。その後は、第8の実施形態と同様に、ステップS43～S17の工程を経ることにより、図40及び図41に示すMRAMが完成する。

【0125】

本実施形態に係る構成及び製造方法によれば、トップピン型のMRAMにおいても、上記第2の実施形態で説明した効果が得られる。

【0126】

次に、この発明の第10の実施形態に係る半導体記憶装置の製造方法について、図52並びに図53乃至図58を用いて説明する。図52は、本実施形態に係るMRAMの製造工程のフローチャートであり、図53乃至図58は製造工程の一部を順次示す断面図である。本実施形態は、上記第3の実施形態を、トップピン型のMRAMに適用したものである。

【0127】

まず、上記第8の実施形態で説明したステップS1～S41の工程を経て、図43の構造を得る。次にステップS30において、Ta層36上にハードマスク層53をスパッタリング法またはCVD法を用いて形成する。これにより、図53に示す構造が得られる。

【0128】

次にステップS31、S32において、ハードマスク層53上にフォトレジストを塗布する。そして、リソグラフィ技術とエッチングとにより、図54に示すようにハードマスク層53を、磁気抵抗素子の形成パターンにパターニングする。その後フォトレジスト50を除去する（ステップS33）。引き続き、ステップS34において、ハードマスク層53をマスクに用いたRIE法またはArイオンミリングにより、非磁性層36をパターニングしてキャップ層を形成する。次にステップS50において、反強磁性層64をパターニングする。更にステップS51において、強磁性層61～63をパターニングして、固着層28を形成する。その結果、図55に示すような構造が得られる。

【0129】

次にステップS8において、A1層を形成して、図56に示す構造を得る。引き続き、ステップS20において、A1層51をエッチングし、ステップS21において、A1層51を酸化してAl₂O₃層40を形成する。その結果、図57に示すように、Al₂O₃層による側壁絶縁膜40が完成する。側壁絶縁膜4

0は、固着層28、反強磁性層64、キャップ層36、及びハードマスク53の側面を被覆している。

【0130】

次に、ステップS11において、トンネルバリア膜29をパターニングし、更にステップS43において、強磁性層65及び金属層60をパターニングする。その結果、記録層30が完成し、図58に示す構造が得られる。

【0131】

その後は上記第1の実施形態で説明したとおり、ステップS13～S17に示す工程を行うことにより、MRAMが完成する。

【0132】

本実施形態に係る製造方法によっても、トップピン型のMRAMにおいて、上記第1、第2の実施形態と同様の効果を得ることが出来る。

【0133】

図59は、本実施形態の変形例に係るMRAMの製造工程のフローチャートである。本変形例は、上記第1の実施形態をトップピン型のMRAMに適用し、且つハードマスク層を用いた場合に関する。すなわち、ハードマスク層を用いる場合にあっても、 $A_{12}O_3$ 層をパターニングすることによって側壁絶縁膜を形成しても良い。

【0134】

次に、この発明の第11の実施形態に係る半導体記憶装置について、図60を用いて説明する。図60は、本実施形態に係るMRAMのメモリセルの、特に磁気抵抗素子の断面図である。本実施形態は、上記第4の実施形態を、トップピン型のMRAMに適用したものであるので、詳細な説明は省略する。

【0135】

図示するように、本実施形態に係るMRAMの磁気抵抗素子27は、上記第8乃至第10の実施形態に係る構成において、トンネルバリア膜29である $A_{12}O_3$ の組成を工夫したものである。すなわち、トンネルバリア膜29の酸素含有率は、磁気抵抗素子27の中央よりも、端部において高くされている。具体的には、トンネルバリア膜の組成は、磁気抵抗素子中央部では $A_{12}O_x$ 、端部では

Al_2O_y である。但し、 x 、 y は共に 3 に近い数であり、 $y > x$ である。

【0136】

本実施形態に係る構成によれば、トップピン型のMRAMにおいても、上記第4の実施形態で説明した効果が得られる。

【0137】

次に、この発明の第12の実施形態に係る半導体記憶装置について、図61を用いて説明する。図61は、本実施形態に係るMRAMのメモリセルの、特に磁気抵抗素子の断面図である。本実施形態は、上記第5の実施形態を、トップピン型のMRAMに適用したものであるので、詳細な説明は省略する。

【0138】

図示するように、本実施形態に係るMRAMの磁気抵抗素子27は、上記第8乃至第10の実施形態に係る構成において、磁気抵抗素子端部におけるトンネルバリア膜29の膜厚を大きくしたものである。すなわち、トンネルバリア膜29の膜厚は、磁気抵抗素子中央部では d_1 、端部では d_2 である。但し、 $d_2 > d_1$ である。

【0139】

本構造は、上記第8乃至第10の実施形態において、 Al_2O_5 層51を酸化する際に、酸化工程の時間を長くすることで、過剰な酸化を施すことで形成可能である。過剰な酸化を行うことで、酸素が Al_2O_3 層29だけでなく、固着層28の面内端縁部であって且つトンネルバリア膜29に接する領域へも侵入する。その結果、固着層30を形成する CoFe 層61の一部が酸化され、 CoO_x 層及び FeO_x 層が形成される。すなわち、磁気抵抗素子端部においては、トンネルバリア膜29が、 Al_2O_3 層と CoO_x 層及び FeO_x 層とで形成される。従って、見た目上、トンネルバリア膜29の膜厚が、磁気抵抗素子中央部においてよりも端部において大きくなる。

【0140】

上記のような構成によれば、上記第5の実施形態で説明した効果を、トップピン型のMRAMにおいても得られる。

【0141】

次に、この発明の第13の実施形態に係る半導体記憶装置について、図62を用いて説明する。図62は、本実施形態に係るMRAMのメモリセルの、特に磁気抵抗素子の断面図である。本実施形態は、上記第6の実施形態を、トップピン型のMRAMに適用したものであるので、詳細な説明は省略する。

【0142】

図示するように、本実施形態に係るMRAMの磁気抵抗素子27は、上記第8乃至第10の実施形態に係る構成において、磁気抵抗素子端部におけるトンネルバリア膜29の膜厚を更に大きくしたものである。

【0143】

本構造は、上記第8乃至第10の実施形態において、Al層51を酸化する際に、酸化工程の時間を長くすることで、過剰な酸化を施すことで形成可能である。過剰な酸化を行うことで、酸素が Al_2O_3 層29だけでなく、固着層28及び記録層30へも侵入する。その結果、固着層28を形成するCoFe層61の一部が酸化され、 CoO_x 層及び FeO_x 層が形成される。また記録層30を形成するNiFe層65の一部が酸化され、NiFe酸化膜が形成される。従って、磁気抵抗素子端部においては、トンネルバリア膜29が、 Al_2O_3 層と、CoFe層61及びNiFe層65を酸化して形成された絶縁膜とで形成される。従って、見た目上、トンネルバリア膜29の膜厚が、磁気抵抗素子中央部においてよりも端部において大きくなる。

【0144】

本実施形態によれば、トップピン型のMRAMにおいて、上記第6の実施形態と同様の効果が得られる。

【0145】

次に、この発明の第14の実施形態に係る半導体記憶装置について、図63を用いて説明する。図63は、本実施形態に係るMRAMのメモリセルの、特に磁気抵抗素子の断面図である。本実施形態は、上記第7の実施形態を、トップピン型のMRAMに適用したものである。

【0146】

図示するように、磁気抵抗素子27は、記録層30、記録層30上に形成され

たトンネルバリア膜29、及びトンネルバリア膜29上に形成された固着層28を備えている。記録層30は積層構造を有しており、例えばCu層で形成されたシード層60、及び例えばPyで形成された強磁性層30を含んでいる。固着層28も積層構造を有しており、例えばCoFe層61、Ru層62、及びCoFe層63が順次形成された構造を有している。そして、トンネルバリア膜29の膜厚は、磁気抵抗素子の中央部でd1、端部でd4とされている(d4>d1)

【0147】

本実施形態に係る磁気抵抗素子の形成方法は、上記第7の実施形態と同様である。すなわち、上記第8の実施形態で説明した図42におけるステップS1～S42の工程により、図44に示す構造を得る。引き続き、トンネルバリア膜29、強磁性層30、及び金属層60を順次エッチングする。そして、磁気抵抗素子を酸化雰囲気中に晒す。この結果、磁気抵抗素子端部におけるトンネルバリア膜29の上下のCoFe層61及びパーマロイ層65が酸化される。これにより、図63に示す構造が得られる。

【0148】

本実施形態によれば、上記第7の実施形態で説明した効果が、トップピン型のMRAMにおいても得られる。

【0149】

次に、この発明の第15の実施形態に係る半導体記憶装置の製造方法について、図64を用いて説明する。図64は、本実施形態に係るMRAMの製造工程の一部を示すフローチャートである。

【0150】

図示するように、本実施形態に係る製造方法は、上記第1の実施形態、第3の実施形態の変形例、第8の実施形態、及び第10の実施形態の変形例で説明した製造工程において、ステップS9のA1層の酸化工程の後、ステップS60においてアニュール工程を含むものである。

【0151】

本実施形態に係る製造方法によれば、側壁絶縁膜40の絶縁性を向上できる。

側壁絶縁膜40となるAl₂O₃膜は、場合によっては酸素欠損が生じたり、Al過多の領域及び酸素過多の領域が出来たりすることがある。しかし、本実施形態のように、Al層を酸化した後アニールを行うことで、Al原子及び酸素原子を均一化することが出来る。その結果、Al₂O₃膜の絶縁性を向上できる。また、Al層を酸化した時点では、組成がAl₂O₃になっていない状態の側壁絶縁膜を、アニールすることで、Al₂O₃に近づけることが出来、絶縁性が向上する。

【0152】

図65は、本実施形態の変形例に係るMRAMの製造工程の一部を示すフローチャートである。本変形例は、上記第2、第3、第9、第10の実施形態で説明した製造工程において、ステップS21のAl層の酸化工程の後、ステップS60においてアニール工程を含むものである。本変形例に係る製造方法によても、上記効果を得ることが出来る。なお、ステップS60のアニール工程は、Al層の酸化工程の後で有ればいつ行っても良く、必ずしも酸化工程の直後に限られるものではない。また、アニール工程は、Al層の形成工程及びAl層の酸化工程等と、同一の製造装置内で連続的に行っても良い。

【0153】

上記のように、この発明の第1乃至第6の実施形態によれば、トンネルバリア膜29上に、記録層30の周囲を取り囲むようにして側壁絶縁膜40を形成している。従って、Arイオンミリング時に発生する残渣によって固着層28と記録層30とがショートすることを抑制できる。また、固着層28と記録層30とのショートを側壁絶縁膜40によって防止しているので、固着層28を形成する際のArイオンミリング工程において、イオンの入射角を半導体基板面に対してほぼ垂直にすることが出来る。よって、固着層28の形状制御が容易であり、MRAMの動作マージンを十分に確保することが出来る。更に、側壁絶縁膜40は、Al層51を酸化することによって形成される。その際、トンネルバリア膜29の端部にも酸素が補償される。従って、磁気抵抗素子端部のトンネルバリア膜29は、絶縁性を十分に維持出来るので、固着層28と記録層30との間のショートを防止できる。

【0154】

また第7、第14の実施形態によれば、固着層28及び記録層30の一部領域を酸化させている。その結果、磁気抵抗素子端部におけるトンネルバリア膜29の膜厚が大きくなるため、上記効果が得られる。

【0155】

更に第8乃至第13の実施形態によれば、トップピン型のMRAMにおいても、上記第1乃至第6の実施形態と同様の効果が得られる、すなわち、トンネルバリア膜29上に、固着層28の周囲を取り囲むようにして側壁絶縁膜40を形成している。従って、固着層28と記録層30とのショートを抑制できる。また、記録層30を形成する際のArイオンミリング工程において、イオンの入射角を半導体基板面に対してほぼ垂直に出来る。よって、記録層30の形状制御が容易であり、MRAMの動作マージンを十分に確保することが出来る。

【0156】

更に第15の実施形態によれば、Al層51を酸化した後、アニールを行っている。これにより、側壁絶縁膜40となるAl₂O₃層の組成を均一化し、側壁絶縁膜の絶縁性を向上できる。

【0157】

なお、上記実施形態においては、側壁絶縁膜40を形成するための材質として、Alを例に挙げて説明した。しかし、特にAlに限定されるものではなく、他の金属あるいは合金を用いても良い。好ましくは、記録層や固着層の材料として用いられる強磁性材料よりも酸化し易い材料を用いることが望ましい。また、側壁絶縁膜40の形成は酸化に限定されるものでもない。例えば窒化や弗化を用いても良い。但し、製造歩留まりや製造コストの観点から、側壁絶縁膜40とトンネルバリア膜29とは、同一金属元素を含む酸化物、窒化物、あるいは弗化物であることが望ましい。例えばAl₂O₃、AlN、MgO、HfO₂、GaO、LaAlO₃、MgF₂、CaF₂等を用いることが出来る。なおこれらの化合物において、若干の酸素（窒素、弗素）の欠損が生じても構わない。また、上記した製造工程は、上記の順序に限られるものではなく、可能な限り入れ替えることは可能である。更に、上記第8乃至第13の実施形態では、固着層28が

CoFe層61、63及びRu層62を含む多層構造として説明した。しかし、例えばCoFe層のみで形成されていても良い。

【0158】

また上記実施形態では、磁気抵抗素子として、MTJ素子を用いたメモリセルの場合を例に挙げて説明したが、例えばGMR (Giant Magneto Resistive) 素子や、CMR (Colossal Magneto Resistive) 素子等を用いる場合であっても良い。

【0159】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【0160】

【発明の効果】

以上説明したように、この発明によれば、製造歩留まりを向上できる半導体記憶装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態に係るMRAMの断面図。

【図2】 この発明の第1の実施形態に係るMRAMの斜視図。

【図3】 この発明の第1の実施形態に係るMRAMの製造工程のフローチャート。

【図4】 この発明の第1の実施形態に係るMRAMの第1の製造工程の断面図。

【図5】 この発明の第1の実施形態に係るMRAMの第2の製造工程の断面図。

【図6】 この発明の第1の実施形態に係るMRAMの第3の製造工程の断

面図。

【図7】 この発明の第1の実施形態に係るMRAMの第4の製造工程の断面図。

【図8】 この発明の第1の実施形態に係るMRAMの第5の製造工程の断面図。

【図9】 この発明の第1の実施形態に係るMRAMの第6の製造工程の断面図。

【図10】 この発明の第1の実施形態に係るMRAMの第7の製造工程の断面図。

【図11】 この発明の第1の実施形態に係るMRAMの第8の製造工程の断面図。

【図12】 この発明の第1の実施形態に係るMRAMの第9の製造工程の断面図。

【図13】 この発明の第1の実施形態に係るMRAMの第10の製造工程の断面図。

【図14】 この発明の第1の実施形態に係るMRAMの第11の製造工程の断面図。

【図15】 この発明の第1の実施形態に係るMRAMの第12の製造工程の断面図。

【図16】 この発明の第2の実施形態に係るMRAMの製造工程のフローチャート。

【図17】 この発明の第2の実施形態に係るMRAMの第1の製造工程の断面図。

【図18】 この発明の第2の実施形態に係るMRAMの第2の製造工程の断面図。

【図19】 この発明の第3の実施形態に係るMRAMの製造工程のフローチャート。

【図20】 この発明の第3の実施形態に係るMRAMの第1の製造工程の断面図。

【図21】 この発明の第3の実施形態に係るMRAMの第2の製造工程の断面図。

【図22】 この発明の第3の実施形態に係るMRAMの第3の製造工程の断面図。

【図23】 この発明の第3の実施形態に係るMRAMの第4の製造工程の断面図。

【図24】 この発明の第3の実施形態に係るMRAMの第5の製造工程の断面図。

【図25】 この発明の第3の実施形態に係るMRAMの第6の製造工程の断面図。

【図26】 この発明の第3の実施形態に係るMRAMの第7の製造工程の断面図。

【図27】 この発明の第3の実施形態に係るMRAMの第8の製造工程の断面図。

【図28】 この発明の第3の実施形態に係るMRAMの第9の製造工程の断面図。

【図29】 この発明の第3の実施形態の変形例に係るMRAMの製造工程のフローチャート。

【図30】 この発明の第4の実施形態に係るMRAMの備える磁気抵抗素子の断面図。

【図31】 理想的な磁気抵抗素子の平面図であり、スピニの向きを示す図。

【図32】 現実の磁気抵抗素子の平面図であり、スピニの向きを示す図。

【図33】 この発明の第4の実施形態に係るMRAMの備える磁気抵抗素子の平面図。

【図34】 この発明の第5の実施形態に係るMRAMの備える磁気抵抗素子の断面図。

【図35】 この発明の第5の実施形態に係るMRAMの備える磁気抵抗素子の平面図。

【図36】 この発明の第6の実施形態に係るMRAMの備える磁気抵抗素子の断面図。

【図37】 この発明の第7の実施形態に係るMRAMの備える磁気抵抗素子の断面図。

【図38】 この発明の第7の実施形態に係るMRAMの第1の製造工程の断面図。

【図39】 この発明の第7の実施形態に係るMRAMの第2の製造工程の断面図。

【図40】 この発明の第8の実施形態に係るMRAMの断面図。

【図41】 この発明の第8の実施形態に係るMRAMの斜視図。

【図42】 この発明の第8の実施形態に係るMRAMの製造工程のフローチャート。

【図43】 この発明の第8の実施形態に係るMRAMの第1の製造工程の断面図。

【図44】 この発明の第8の実施形態に係るMRAMの第2の製造工程の断面図。

【図45】 この発明の第8の実施形態に係るMRAMの第3の製造工程の断面図。

【図46】 この発明の第8の実施形態に係るMRAMの第4の製造工程の断面図。

【図47】 この発明の第8の実施形態に係るMRAMの第5の製造工程の断面図。

【図48】 この発明の第8の実施形態に係るMRAMの第6の製造工程の断面図。

【図49】 この発明の第9の実施形態に係るMRAMの製造工程のフローチャート。

【図50】 この発明の第9の実施形態に係るMRAMの第1の製造工程の断面図。

【図51】 この発明の第9の実施形態に係るMRAMの第2の製造工程の

断面図。

【図52】 この発明の第10の実施形態に係るMRAMの製造工程のフローチャート。

【図53】 この発明の第10の実施形態に係るMRAMの第1の製造工程の断面図。

【図54】 この発明の第10の実施形態に係るMRAMの第2の製造工程の断面図。

【図55】 この発明の第10の実施形態に係るMRAMの第3の製造工程の断面図。

【図56】 この発明の第10の実施形態に係るMRAMの第4の製造工程の断面図。

【図57】 この発明の第10の実施形態に係るMRAMの第5の製造工程の断面図。

【図58】 この発明の第10の実施形態に係るMRAMの第6の製造工程の断面図。

【図59】 この発明の第10の実施形態の変形例に係るMRAMの製造工程のフローチャート。

【図60】 この発明の第11の実施形態に係るMRAMの備える磁気抵抗素子の断面図。

【図61】 この発明の第12の実施形態に係るMRAMの備える磁気抵抗素子の断面図。

【図62】 この発明の第13の実施形態に係るMRAMの備える磁気抵抗素子の断面図。

【図63】 この発明の第14の実施形態に係るMRAMの備える磁気抵抗素子の断面図。

【図64】 この発明の第15の実施形態に係るMRAMの製造工程のフローチャート。

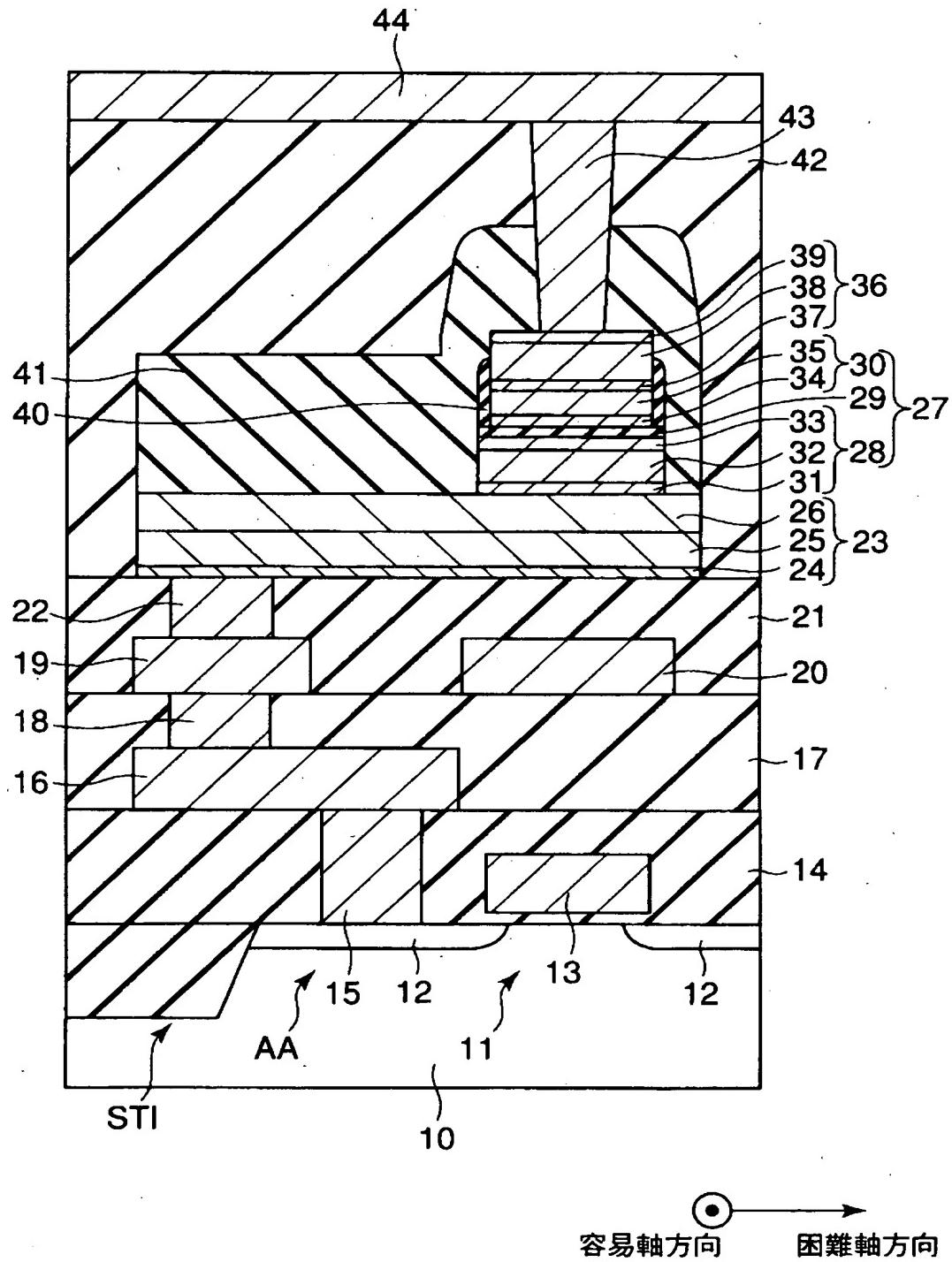
【図65】 この発明の第15の実施形態の変形例に係るMRAMの製造工程のフローチャート。

【符号の説明】

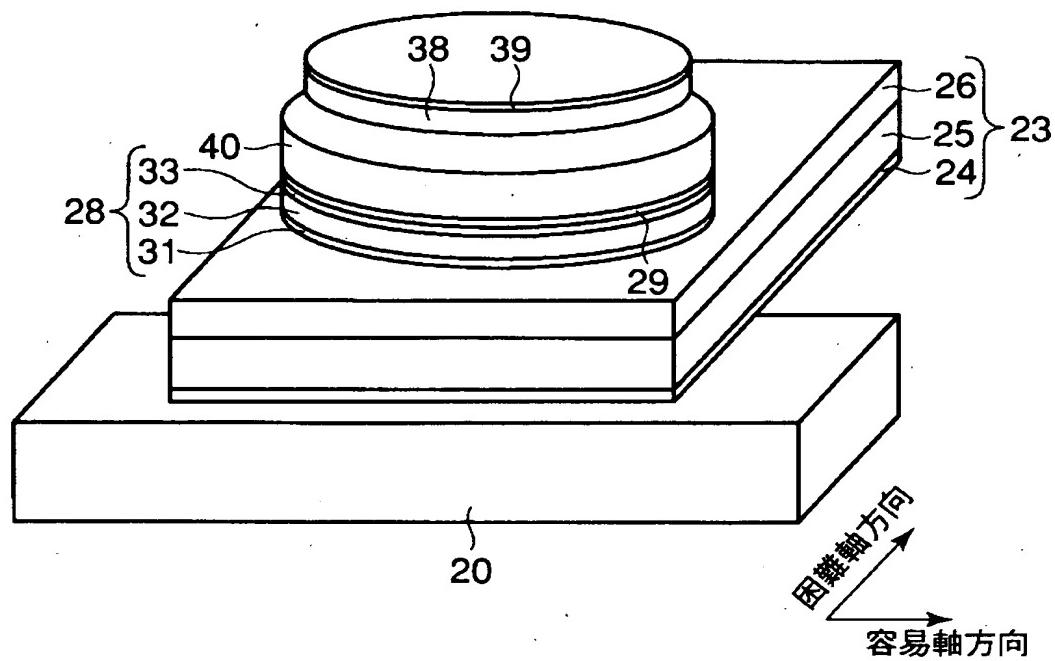
10…半導体基板、11…スイッチングトランジスタ、12…不純物拡散層、
13…ゲート電極、14、17、21、42…層間絶縁膜、15、18、22、
43…コンタクトプラグ、16、19、20…金属配線層、23…非磁性導電膜
、24、26、37、39…Ta層、25、38…Al層、27…磁気抵抗素子
、28…固定層、29…トンネルバリア膜、30…記録層、31、33、34、
61、63…CoFe層、32、64…IrMn層、35、65…Py層、36…
キャップ層、40…側壁絶縁膜、41…SiO₂膜、44…ピット線、50、
52…フォトレジスト、51…Al層、53…ハードマスク層、60…シード層
、62…Ru層

【書類名】 図面

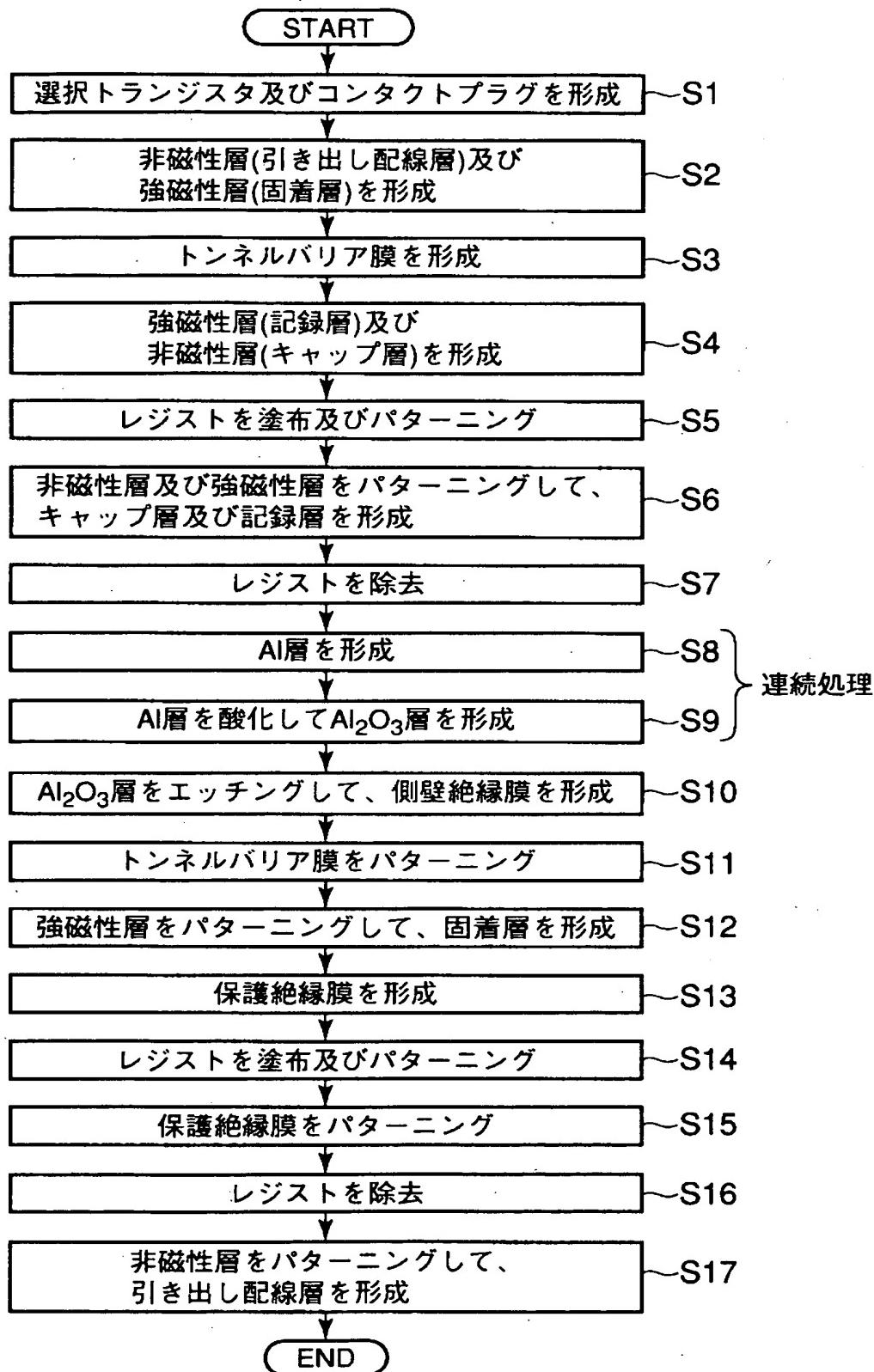
【図1】



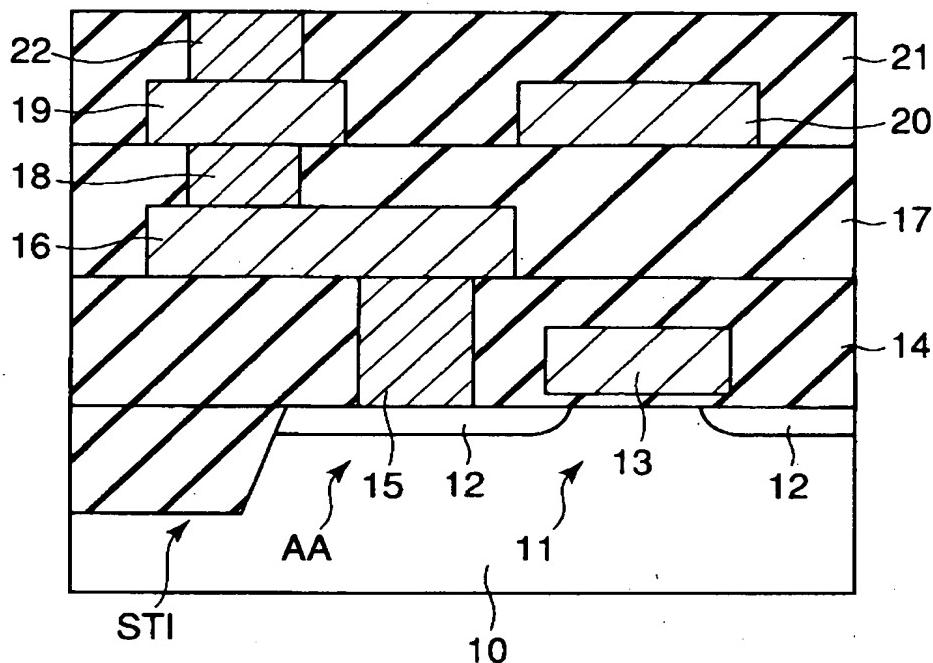
【図2】



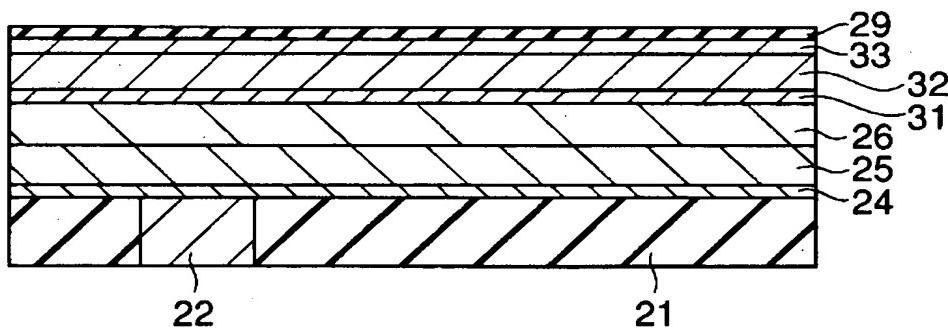
【図3】



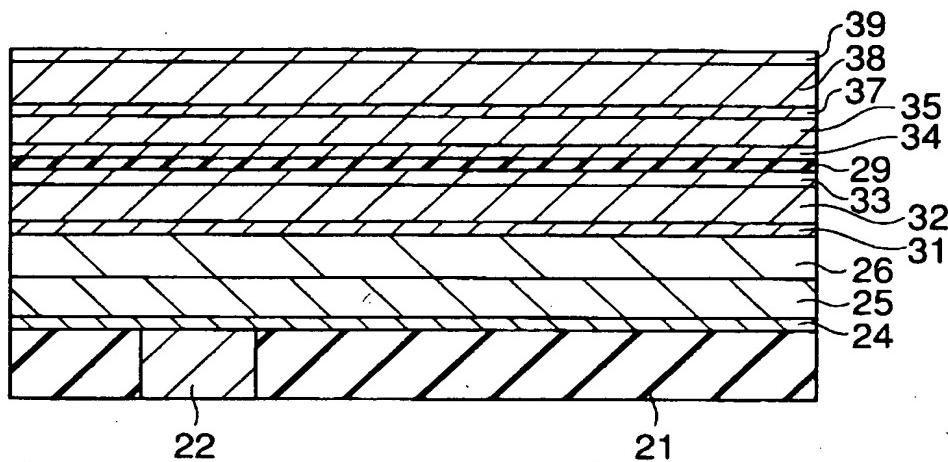
【図4】



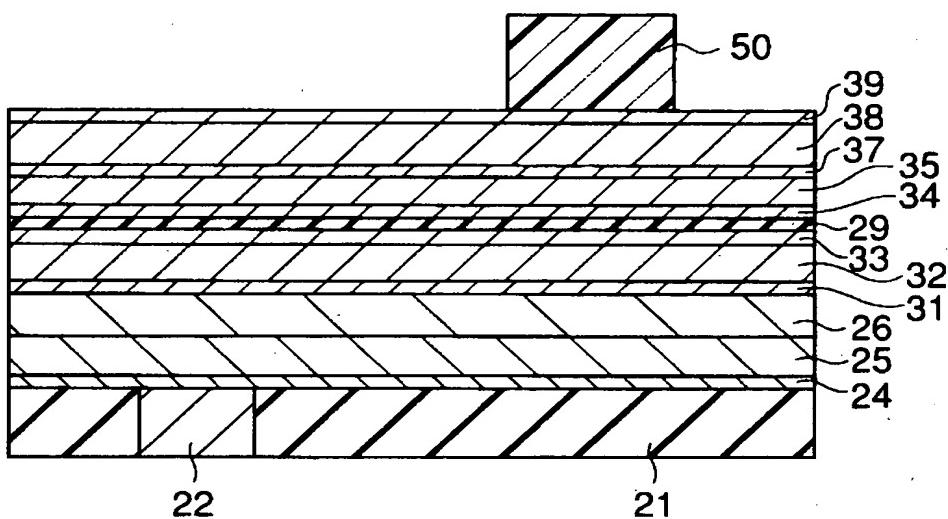
【図5】



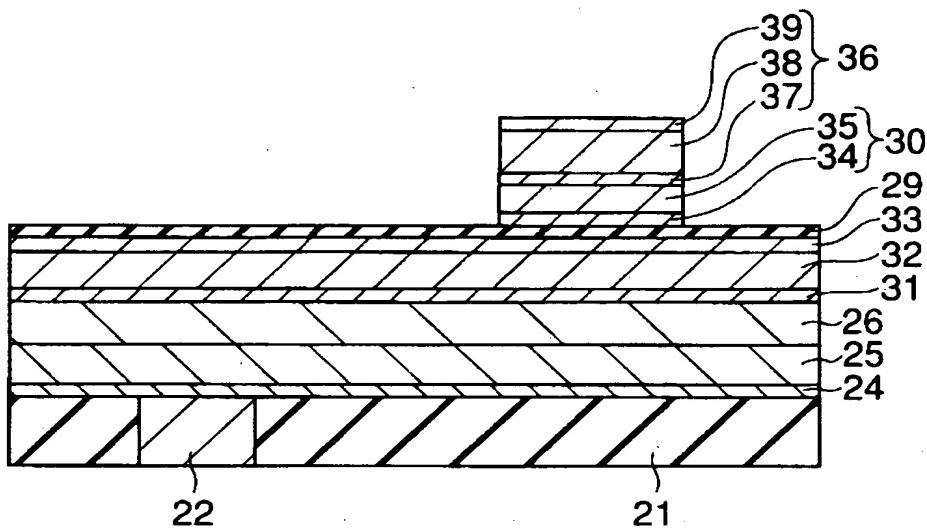
【図6】



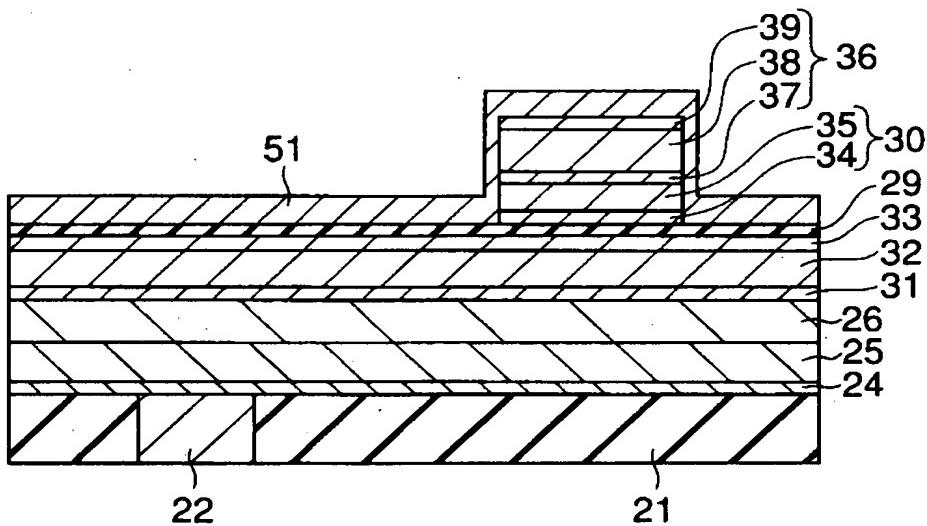
【図7】



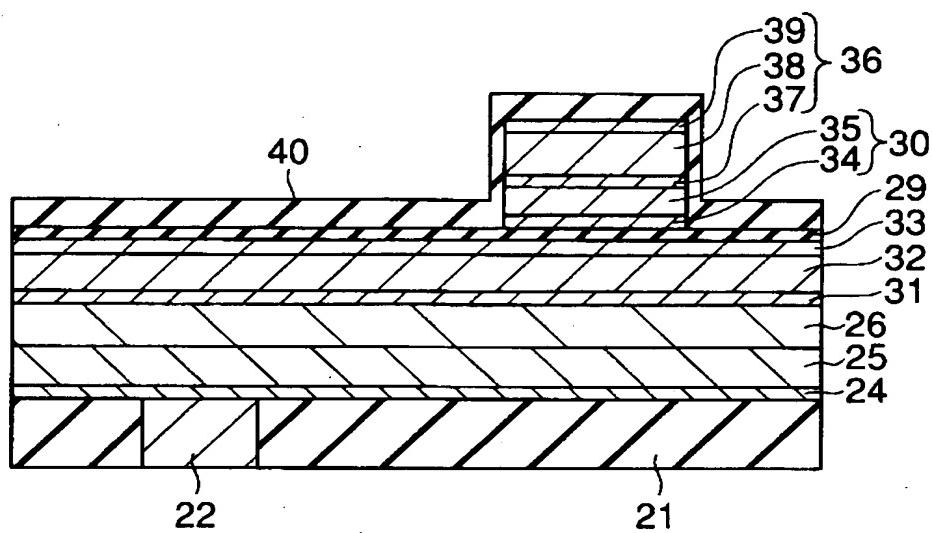
【図8】



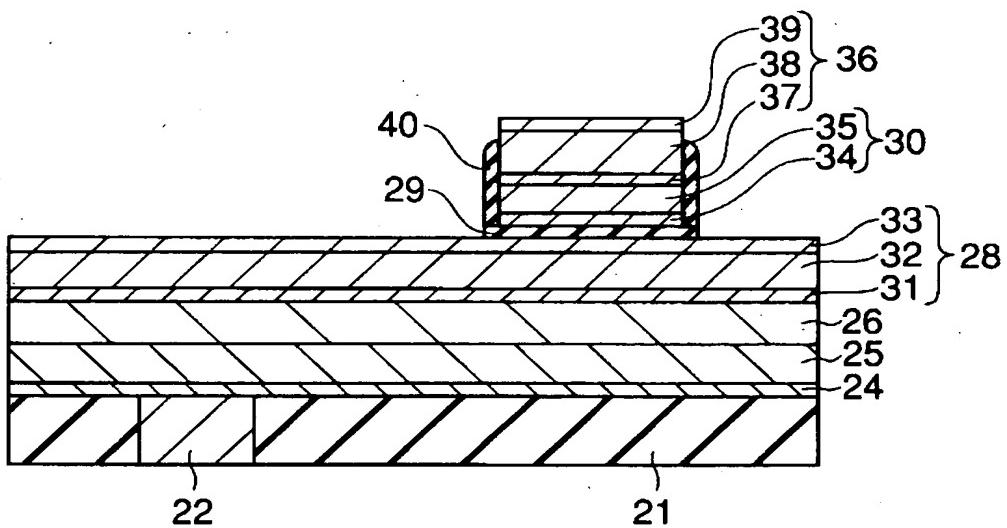
【図9】



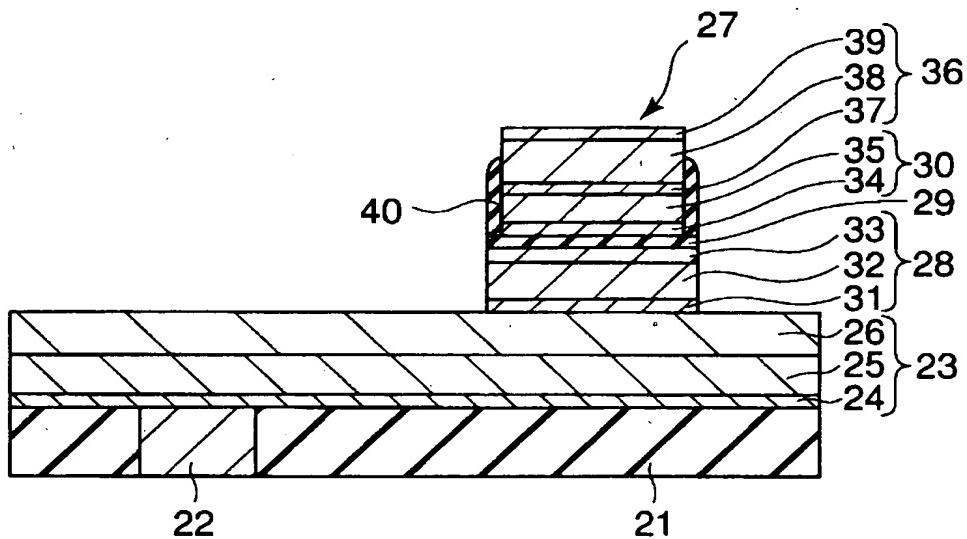
【図10】



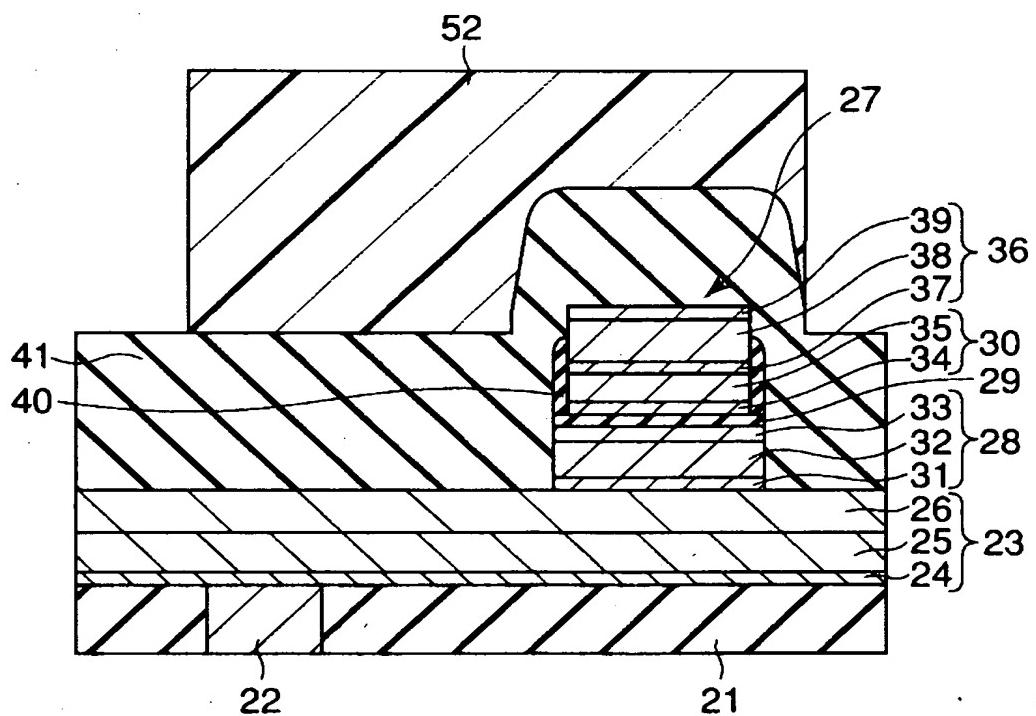
【図11】



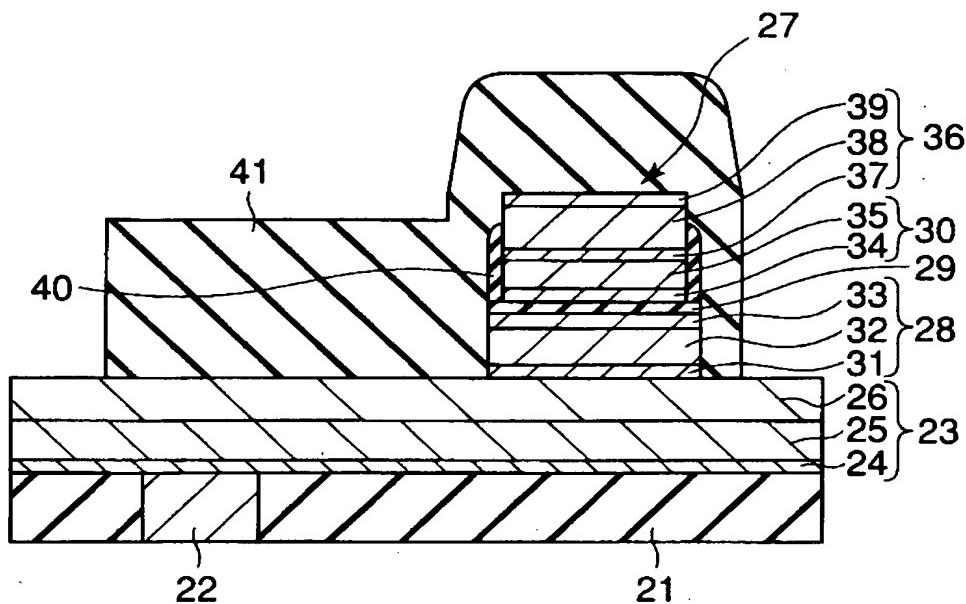
【図12】



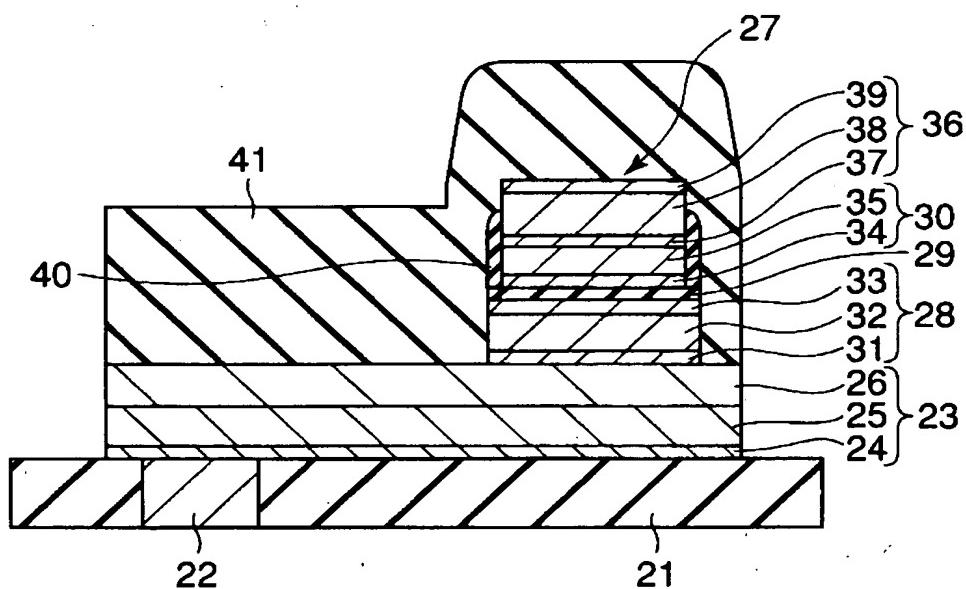
【図13】



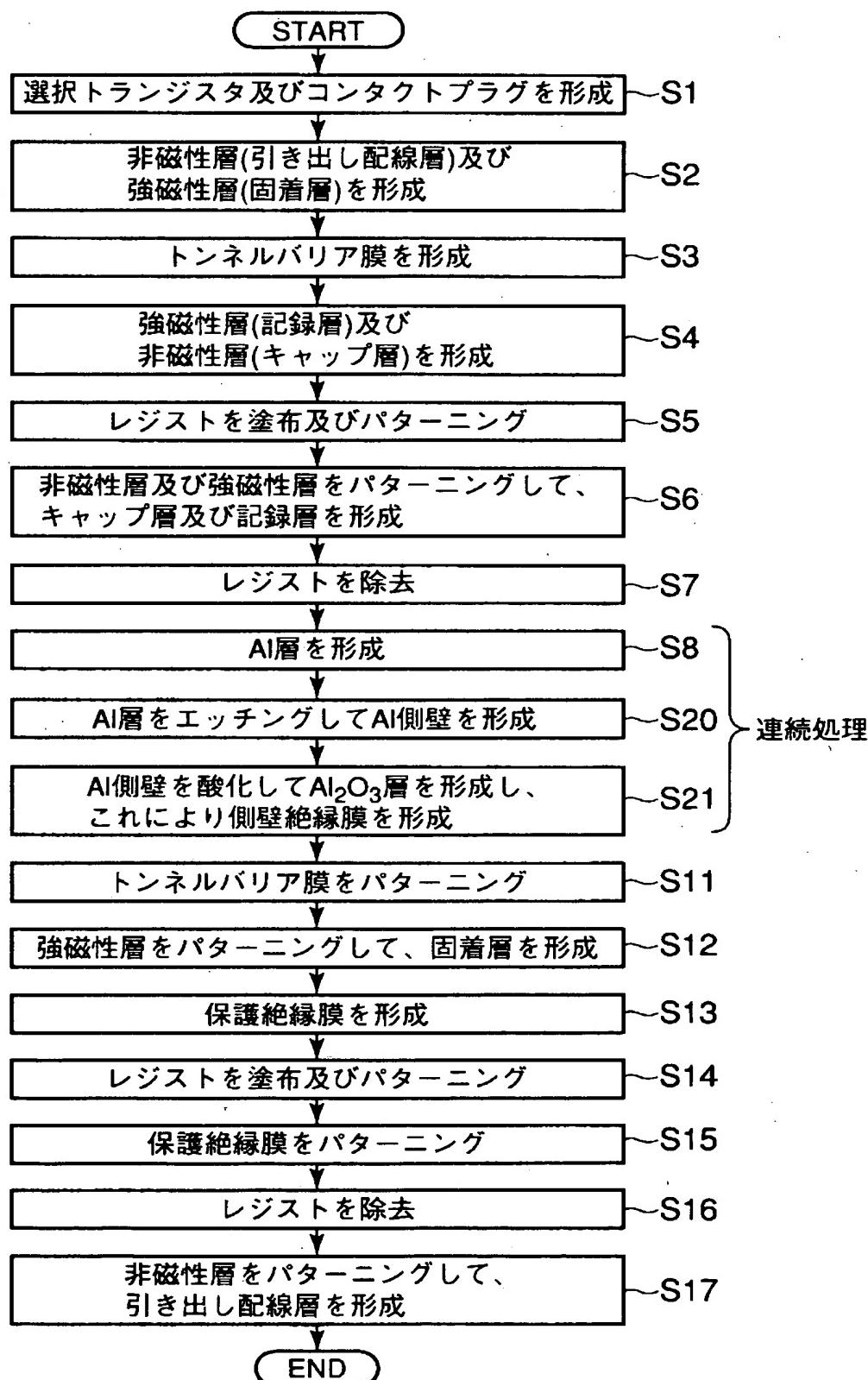
【図14】



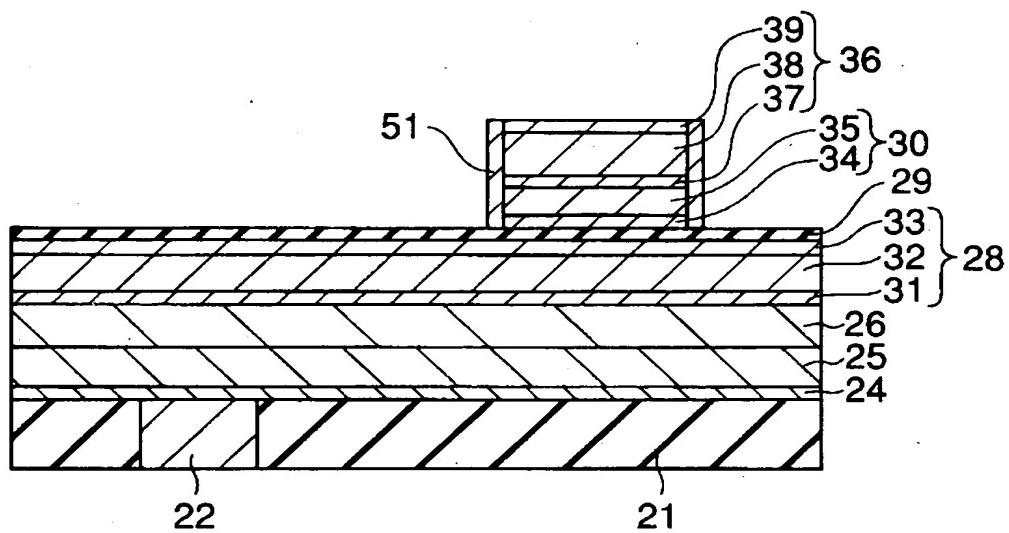
【図15】



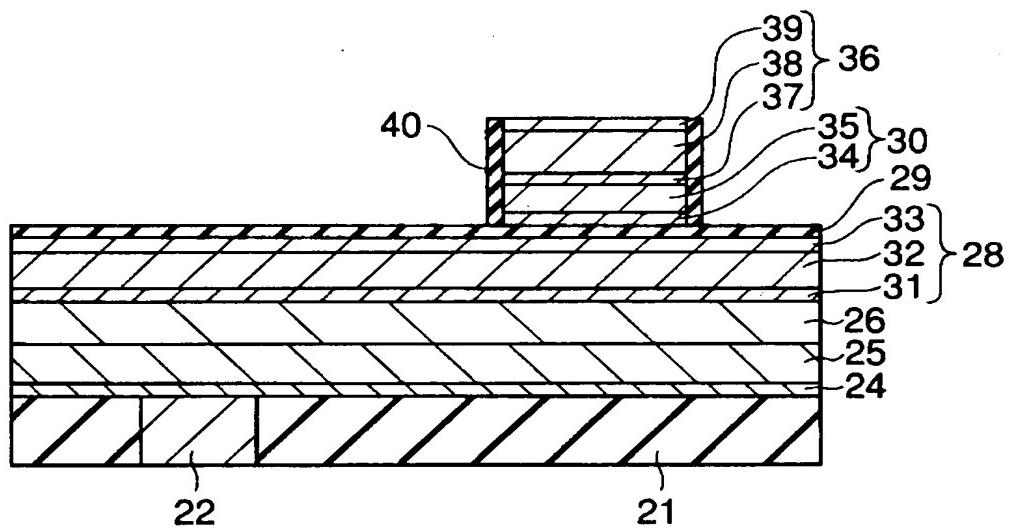
【図16】



【図17】



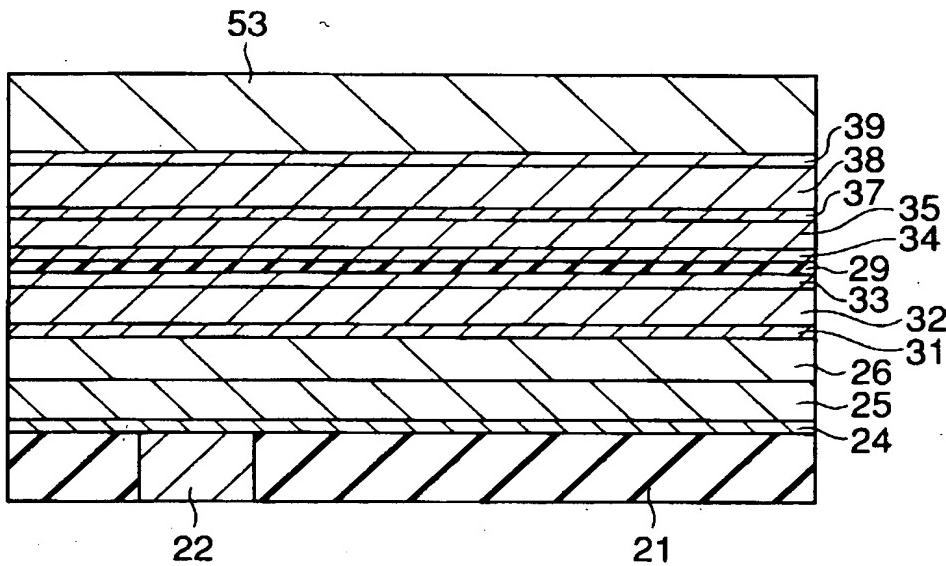
【図18】



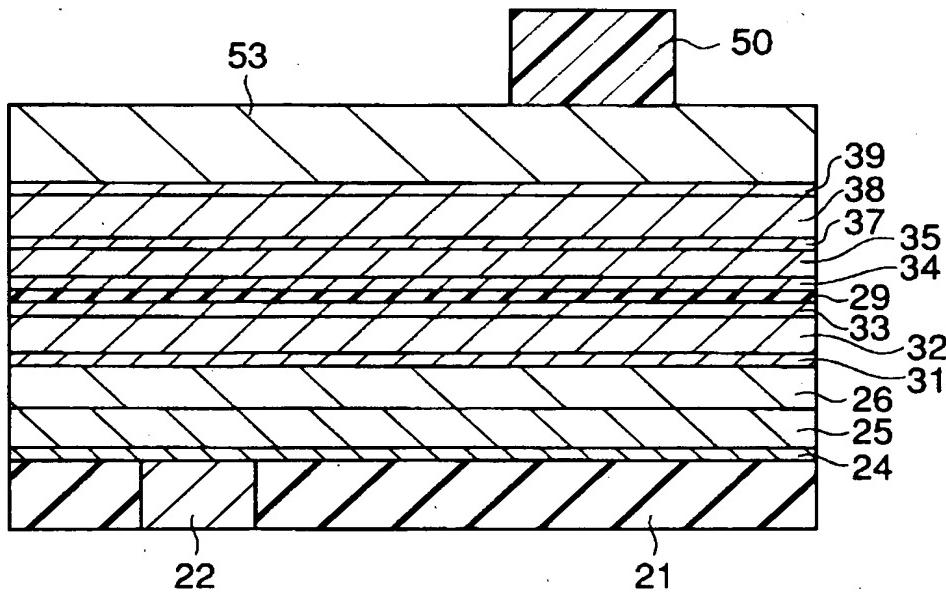
【図19】



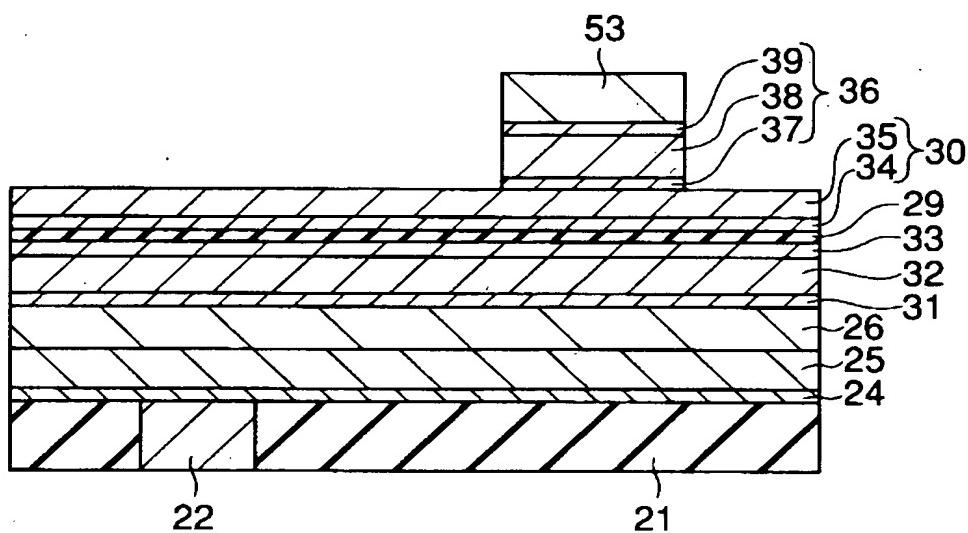
【図20】



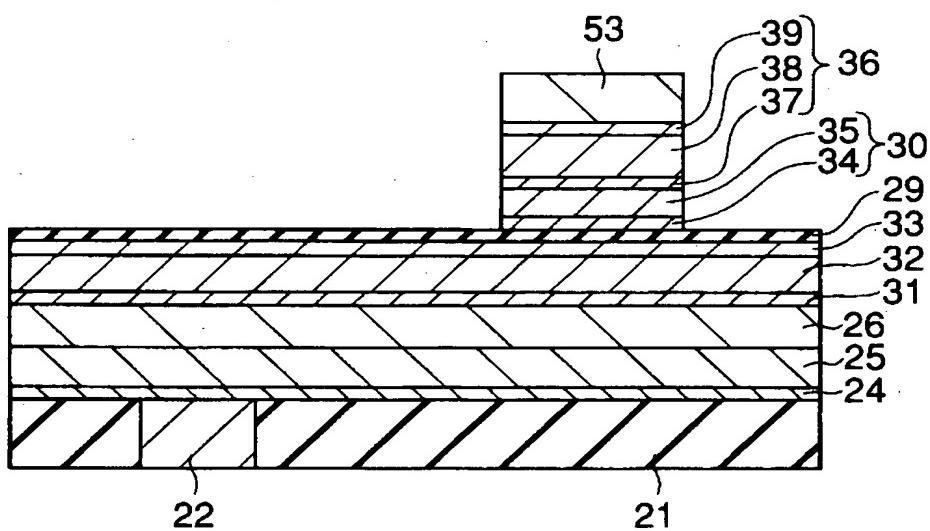
【図21】



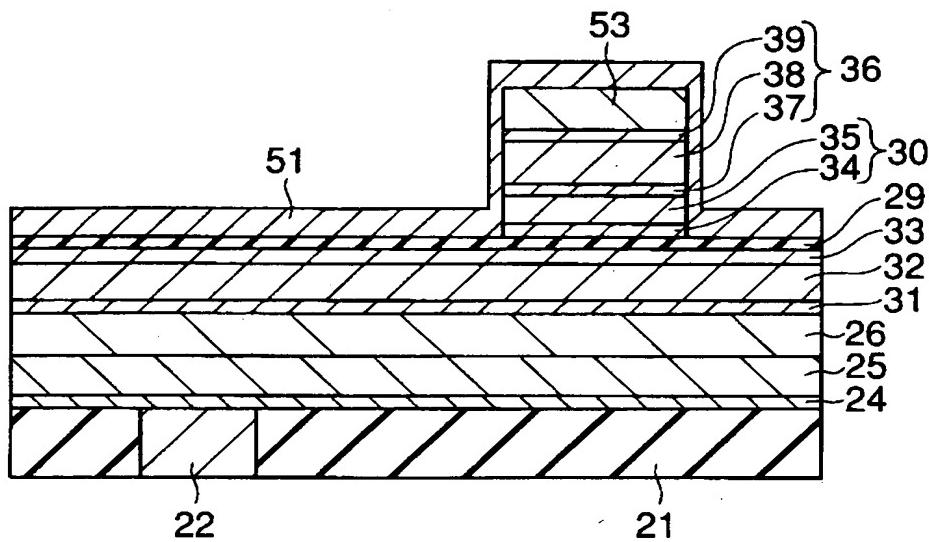
【図22】



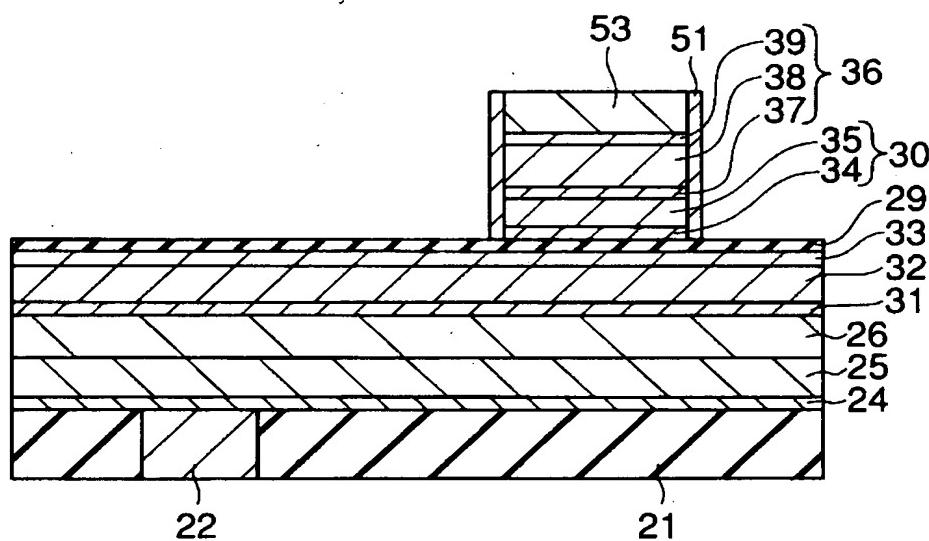
【図23】



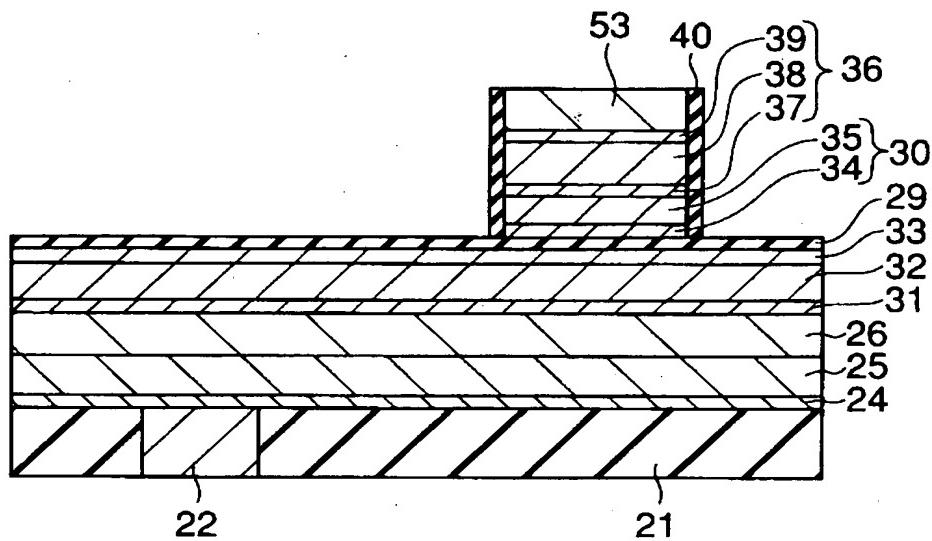
【図24】



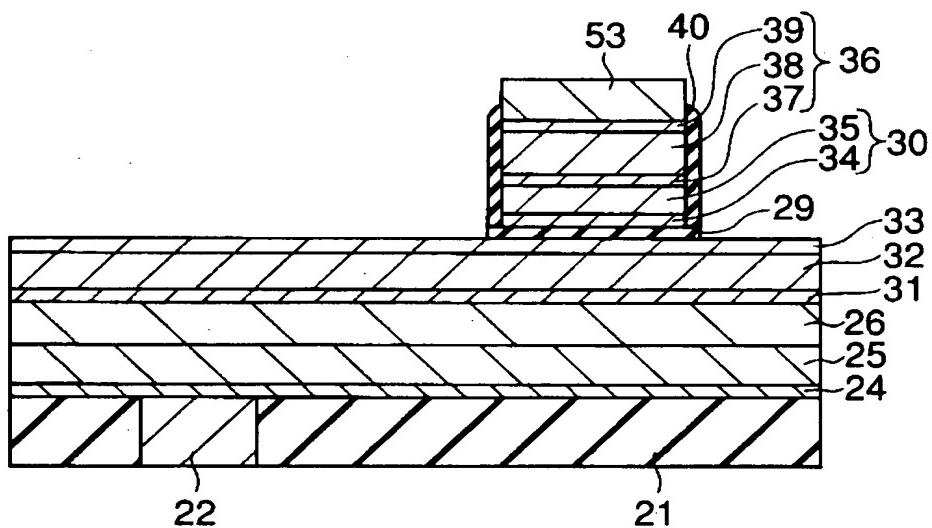
【図25】



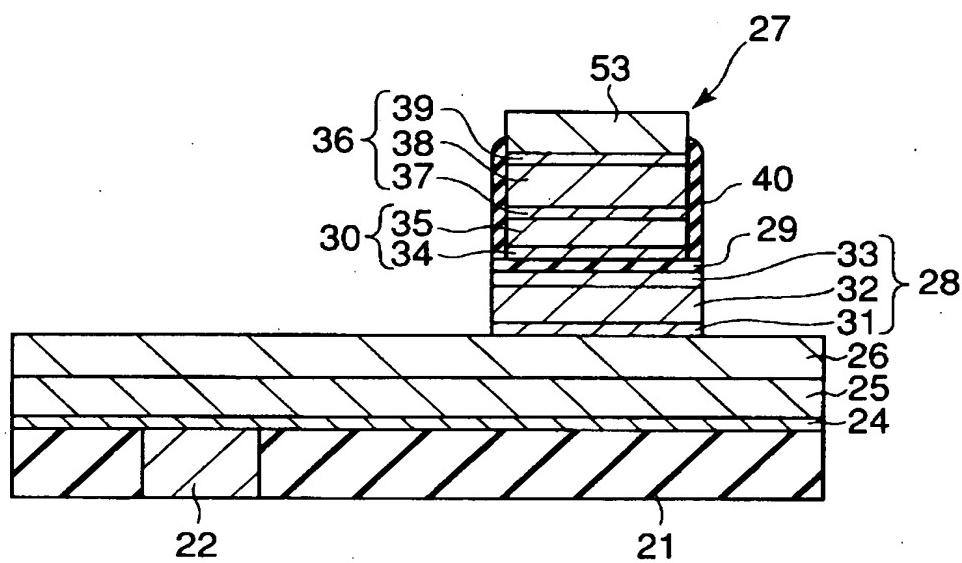
【図26】



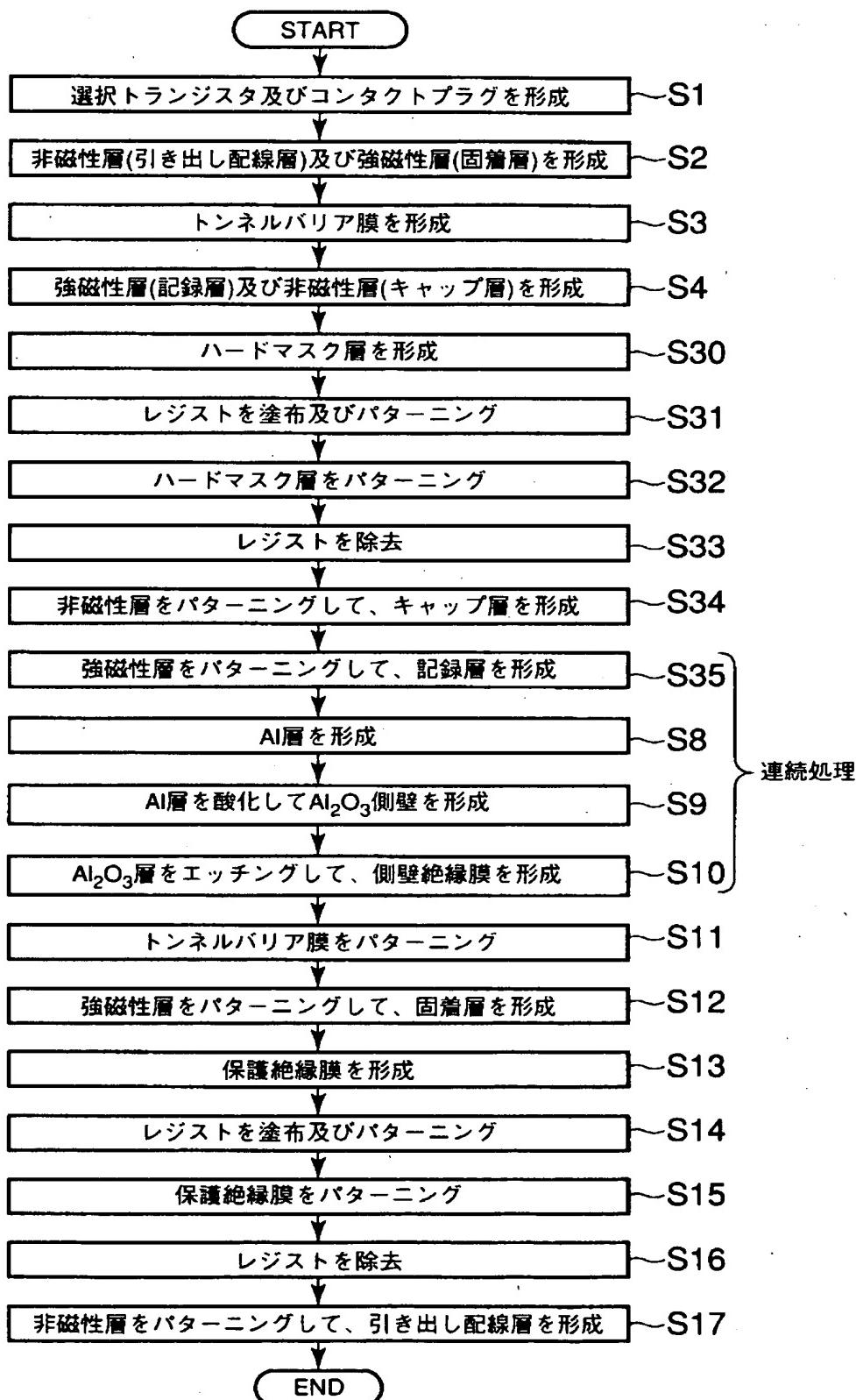
【図27】



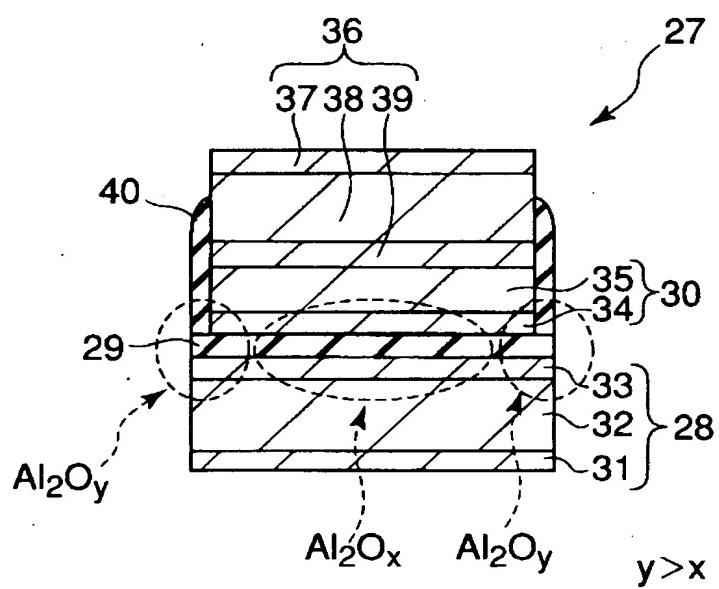
【図28】



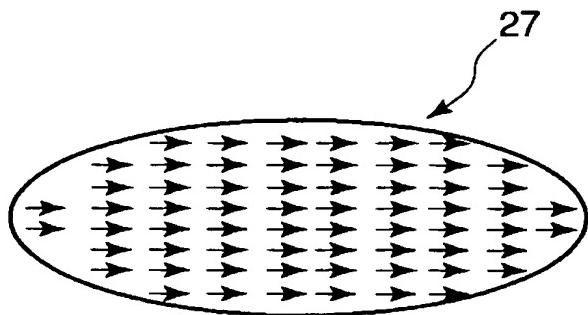
【図29】



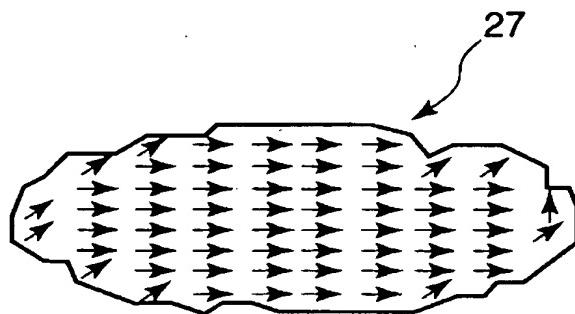
【図30】



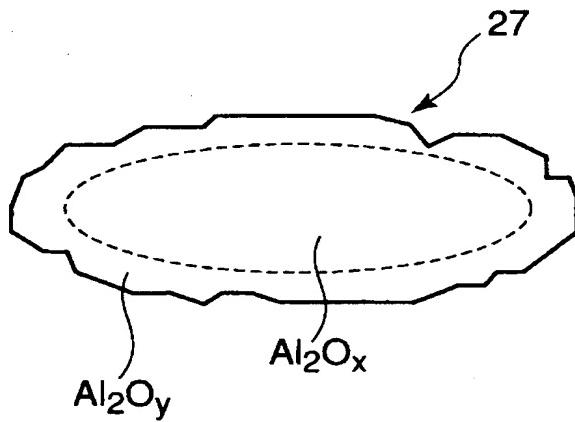
【図31】



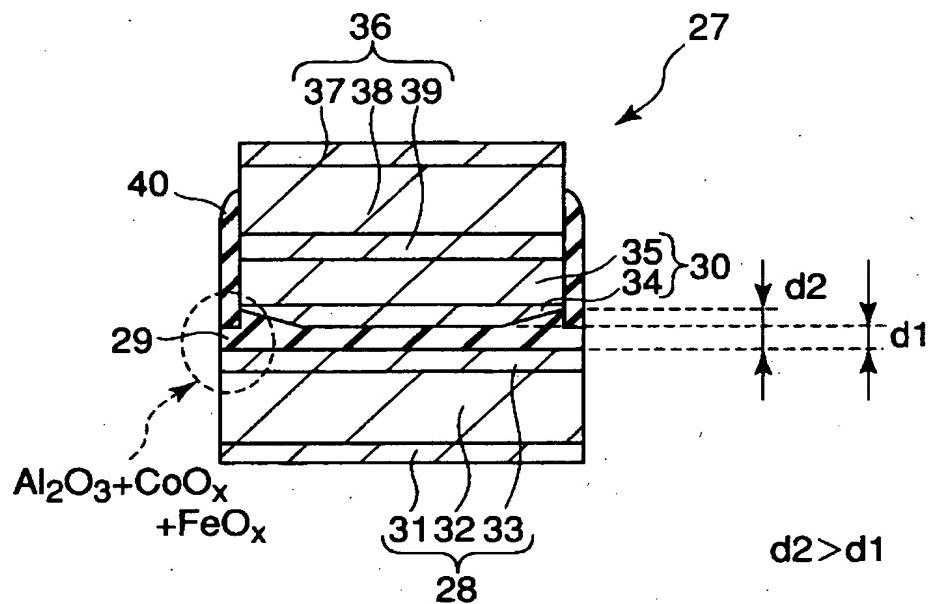
【図32】



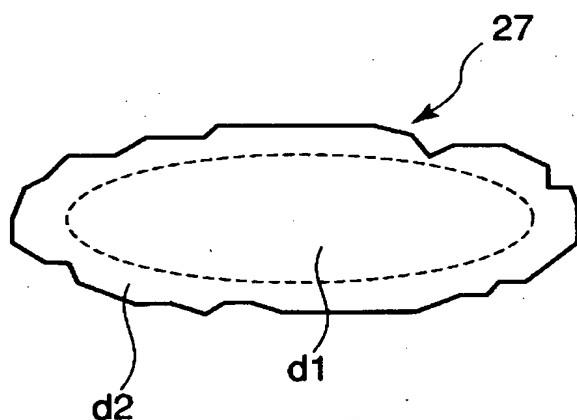
【図33】



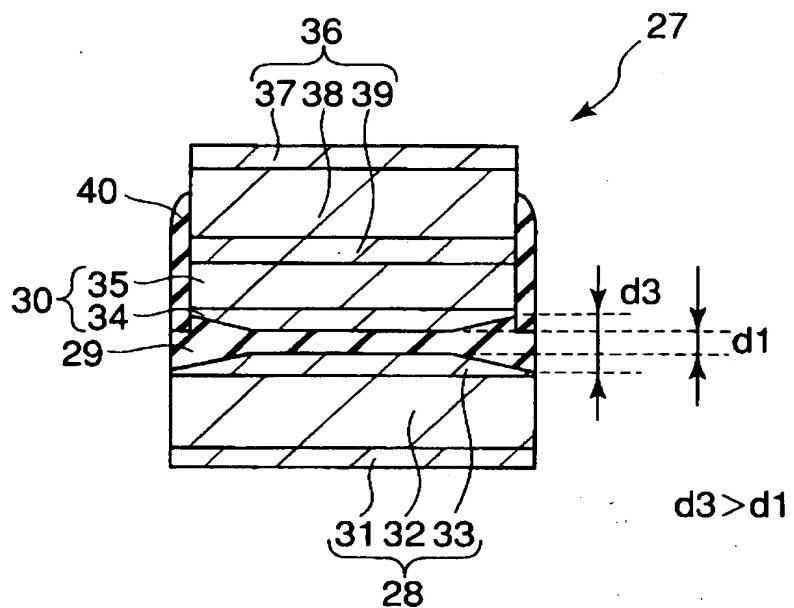
【図34】



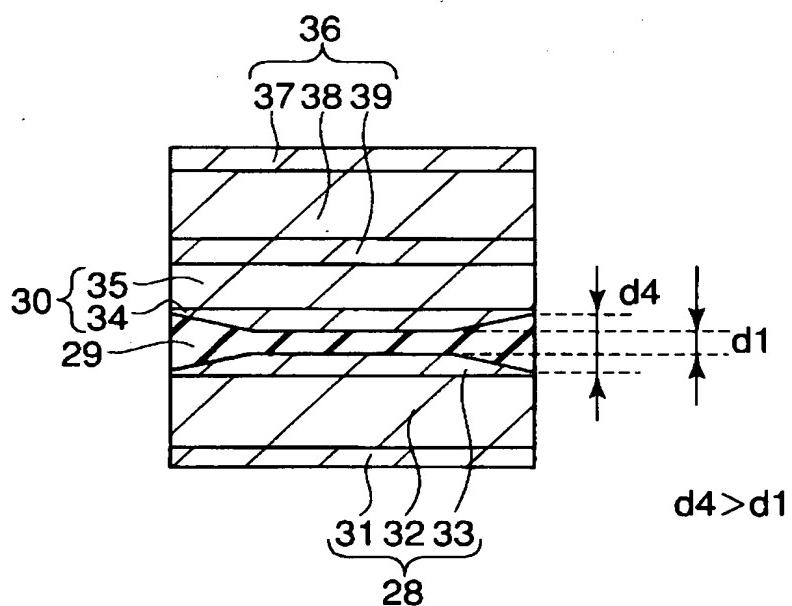
【図35】



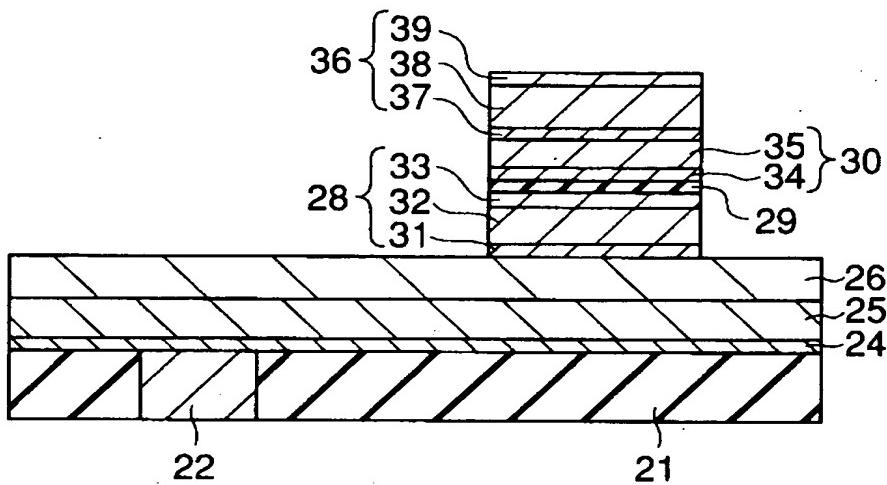
【図36】



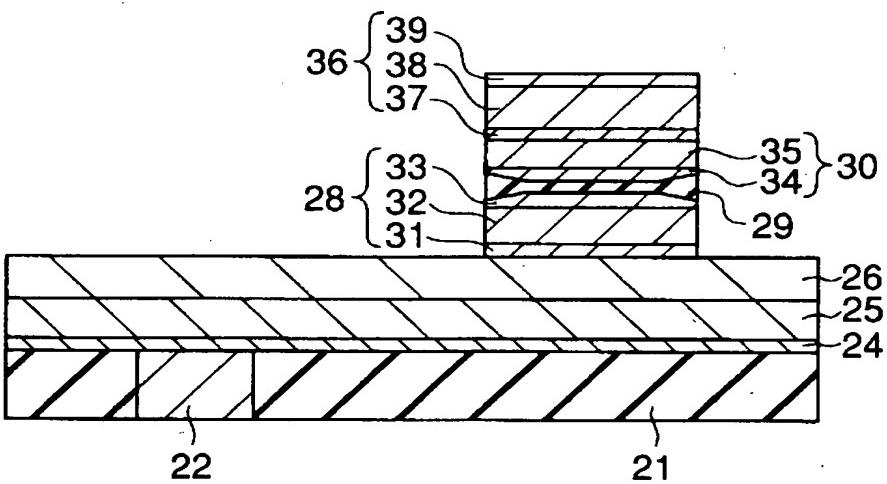
【図37】



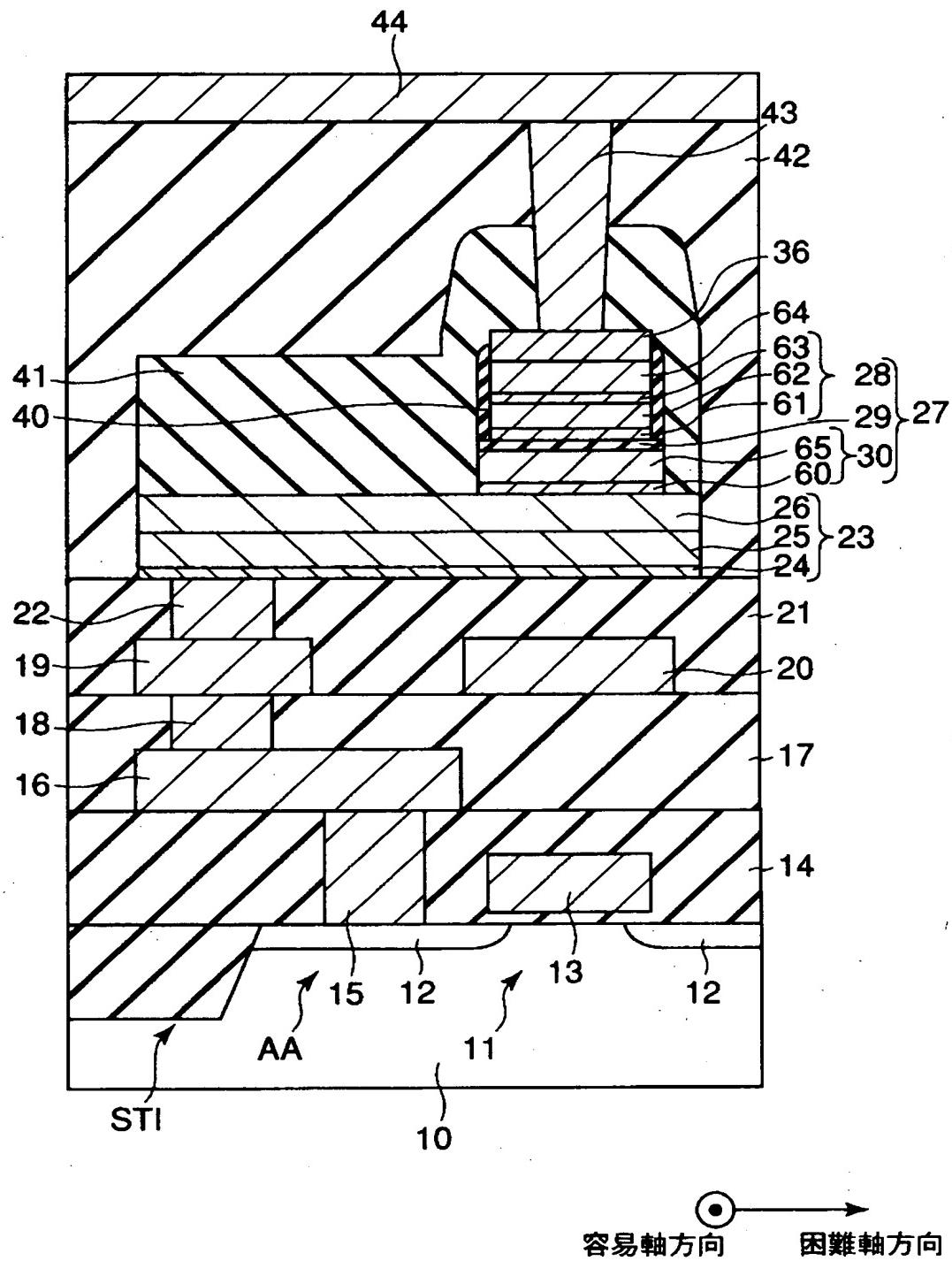
【図38】



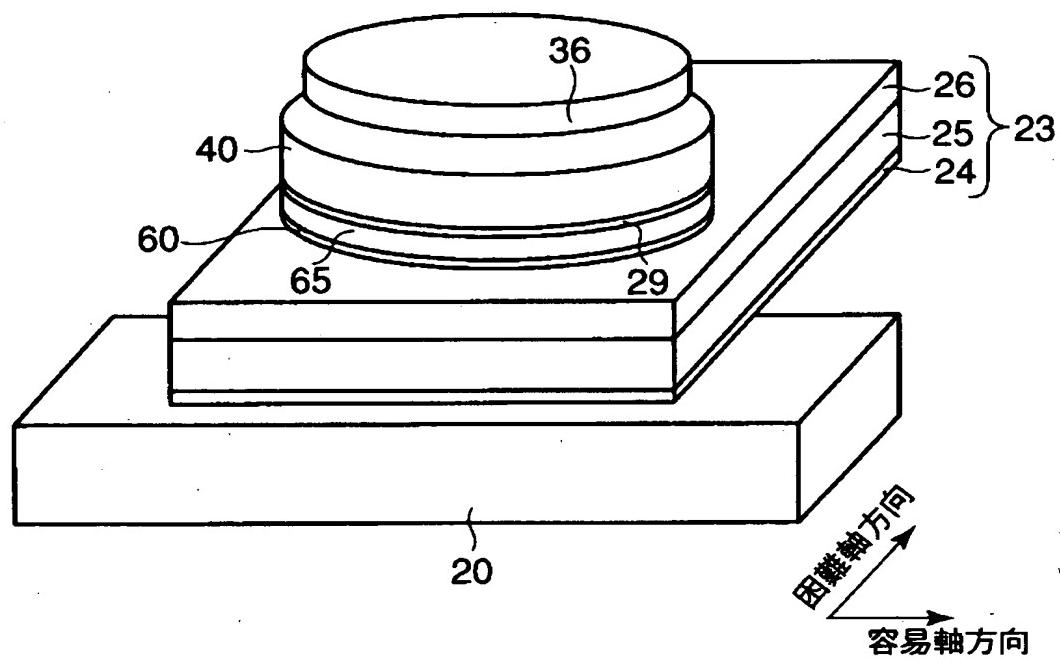
【図39】



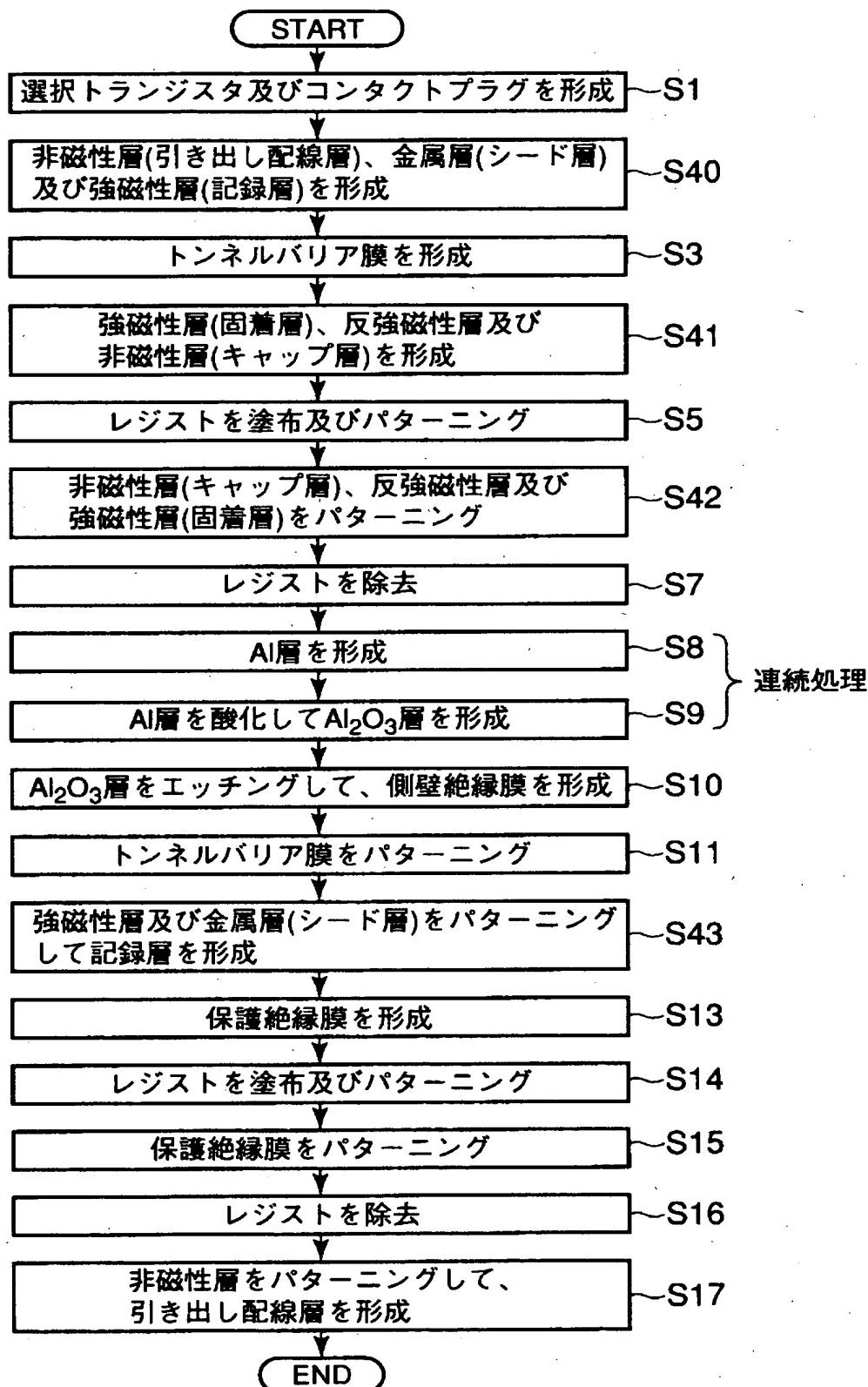
【図40】



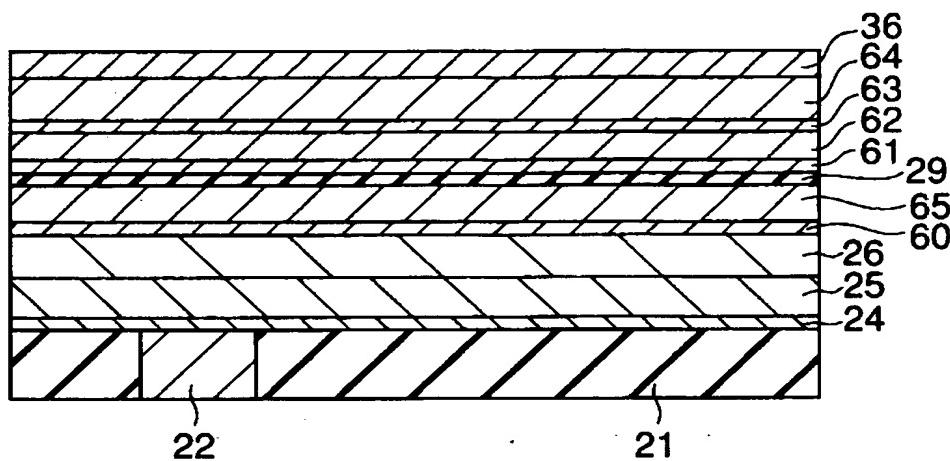
【図41】



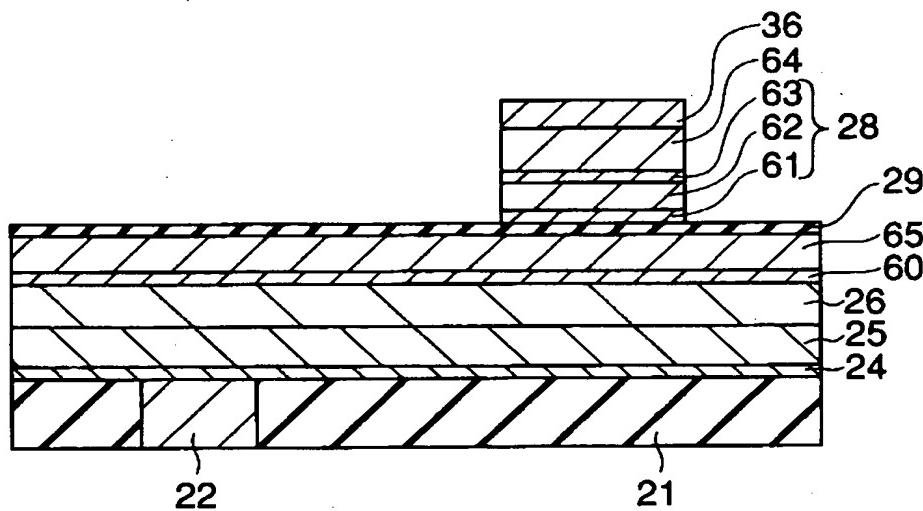
【図42】



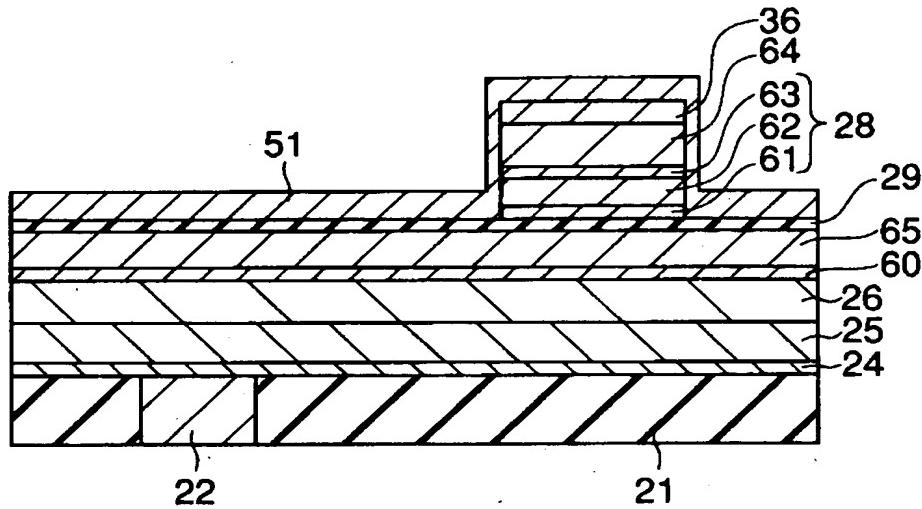
【図43】



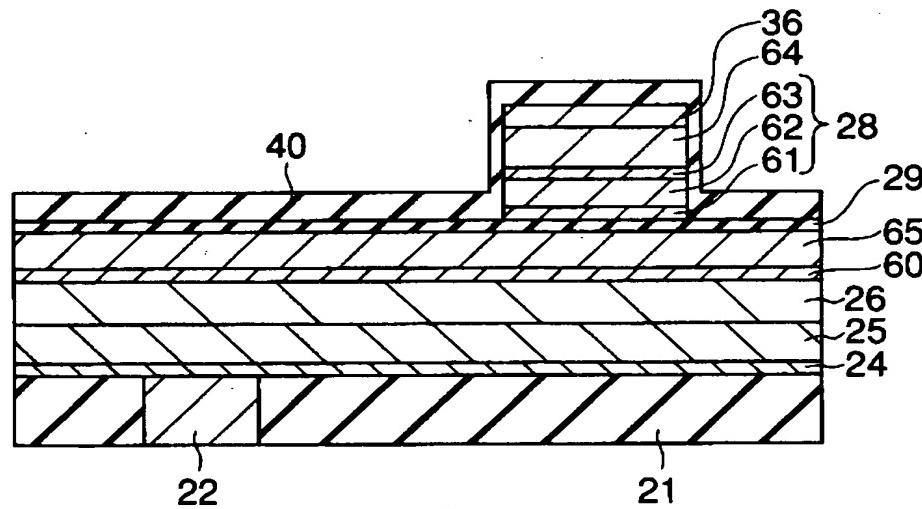
【図44】



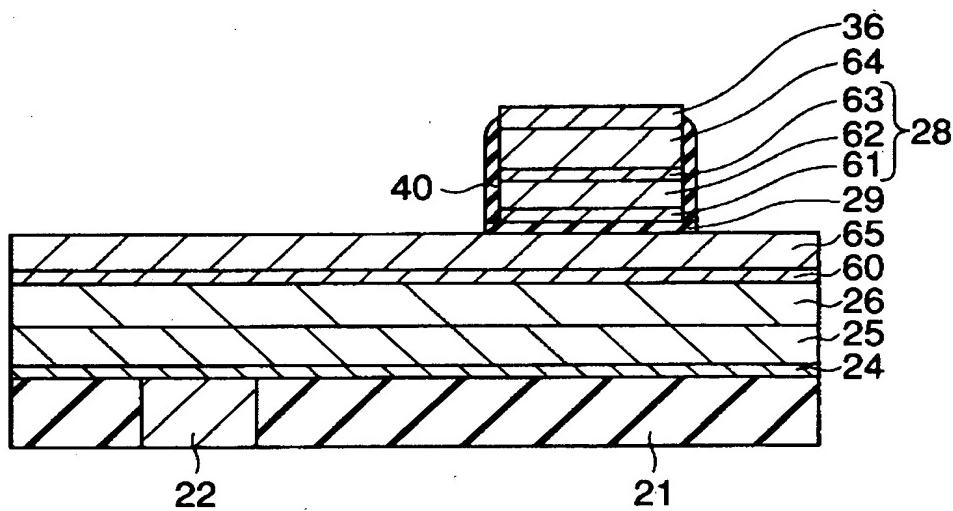
【図45】



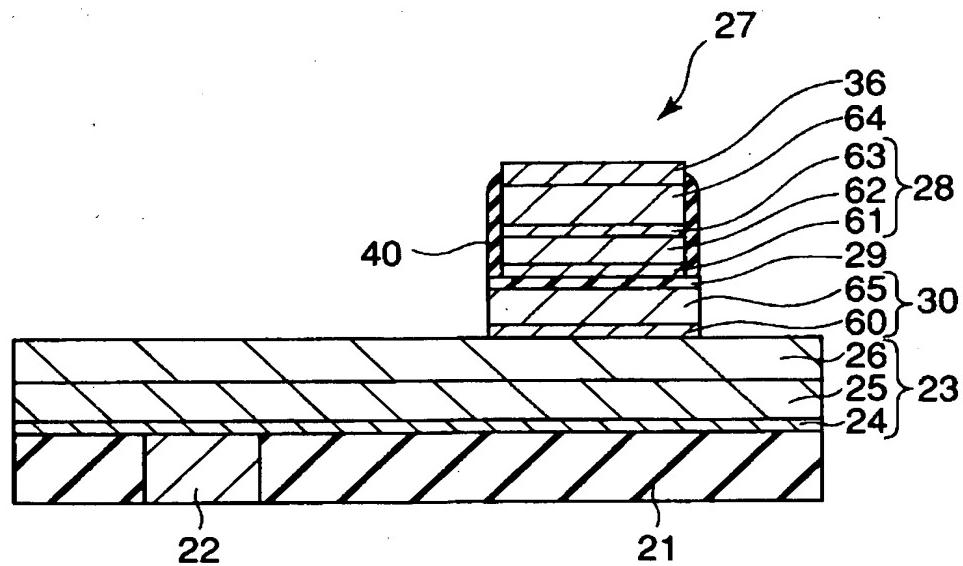
【図46】



【図47】



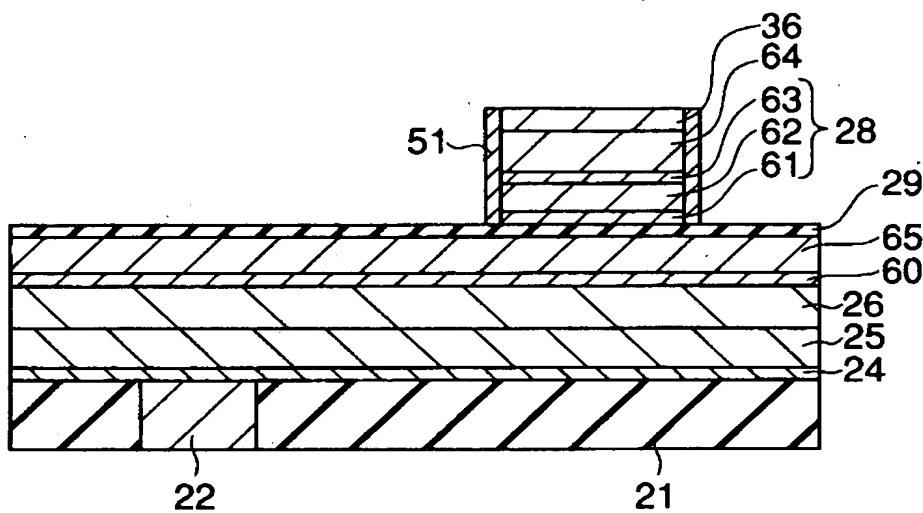
【図48】



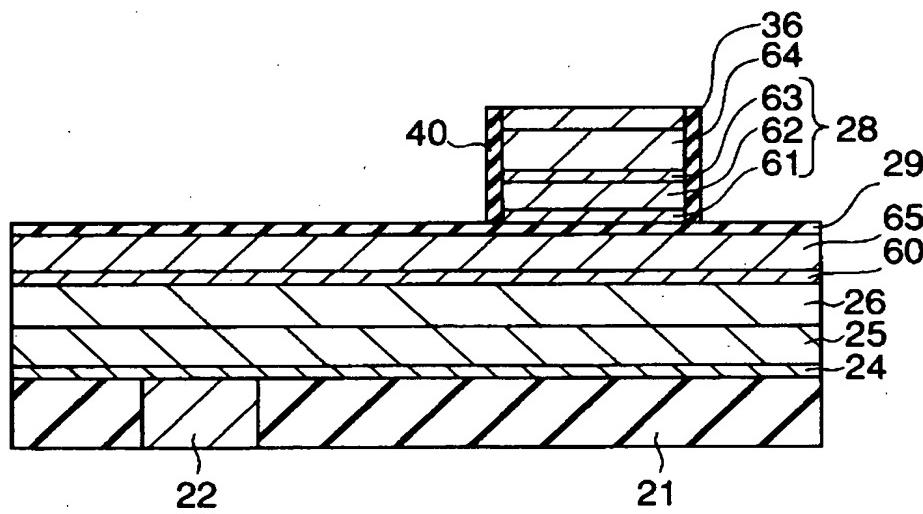
【図49】



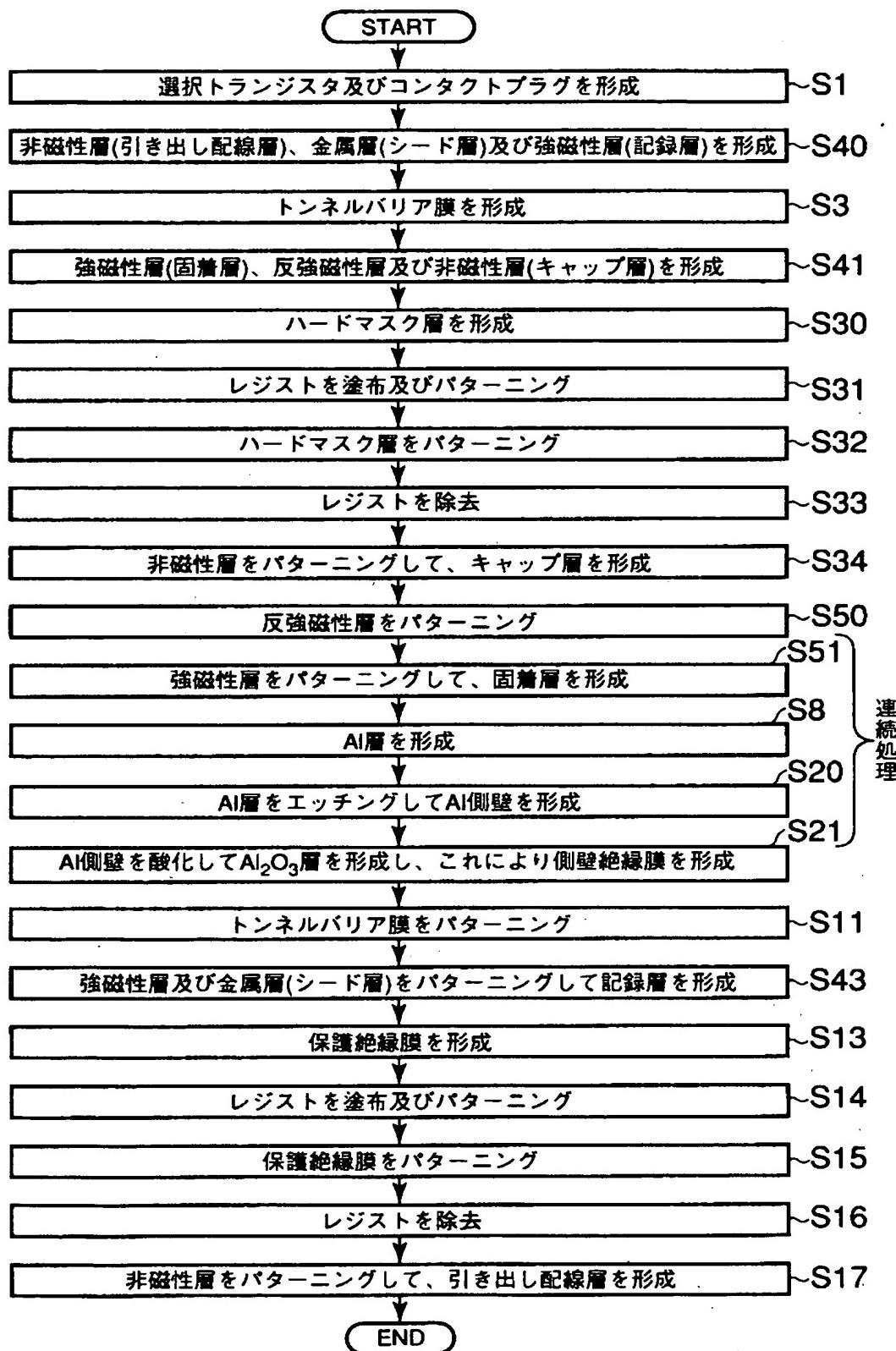
【図50】



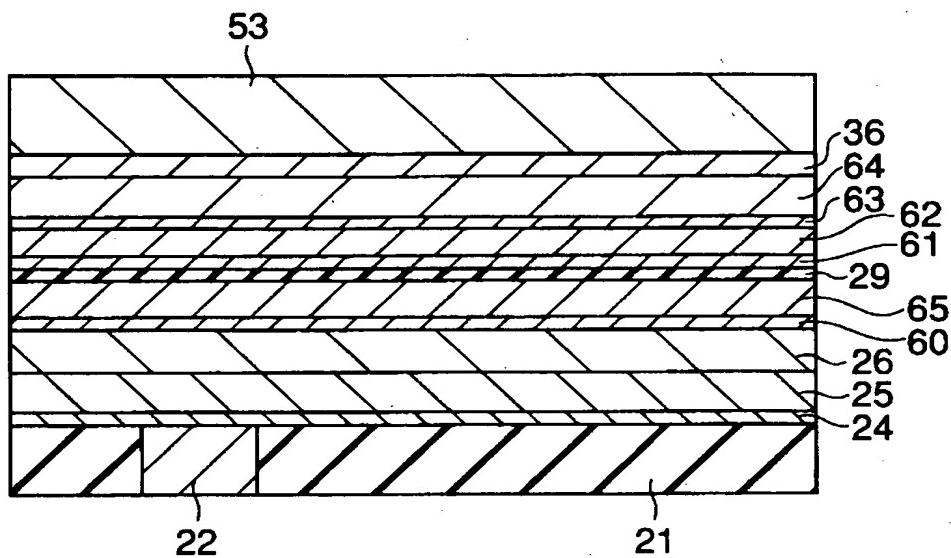
【図51】



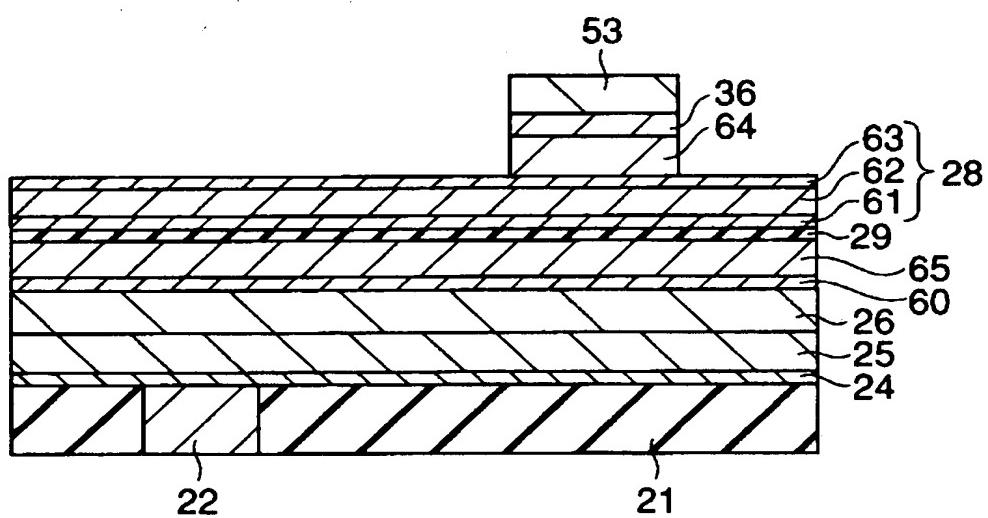
【図52】



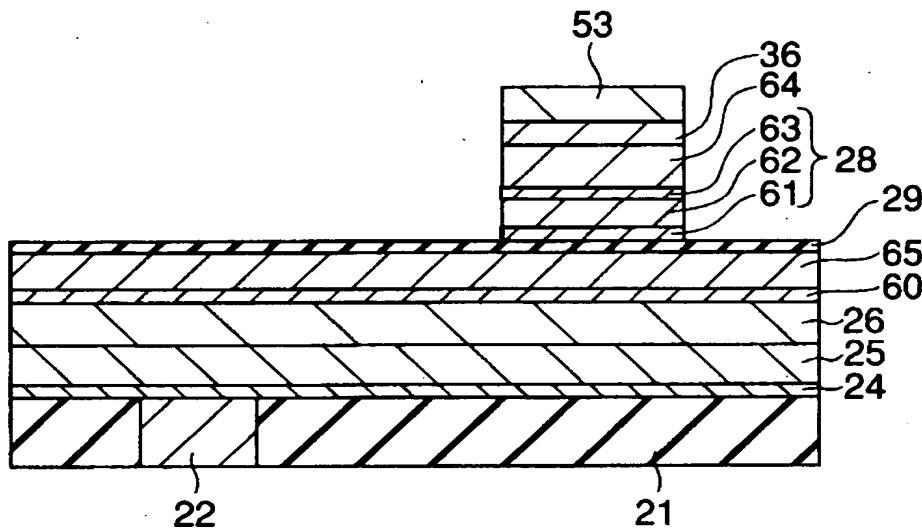
【図53】



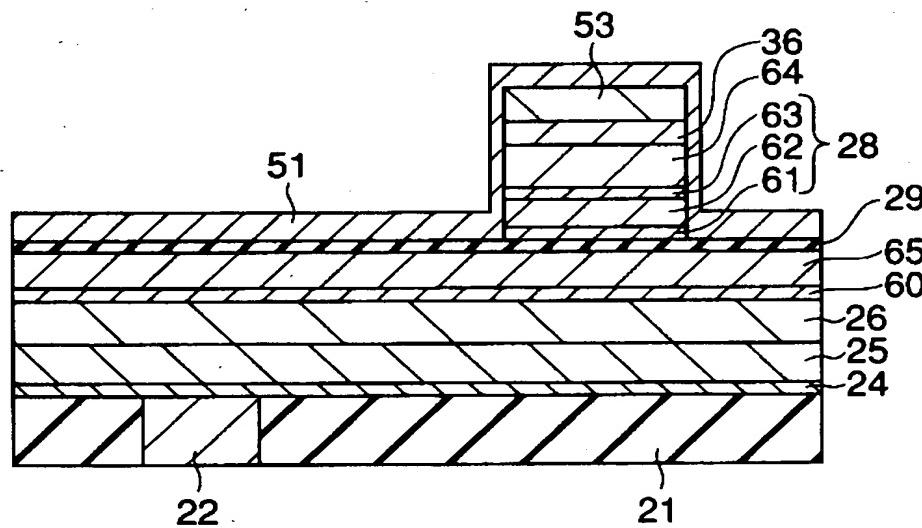
【図54】



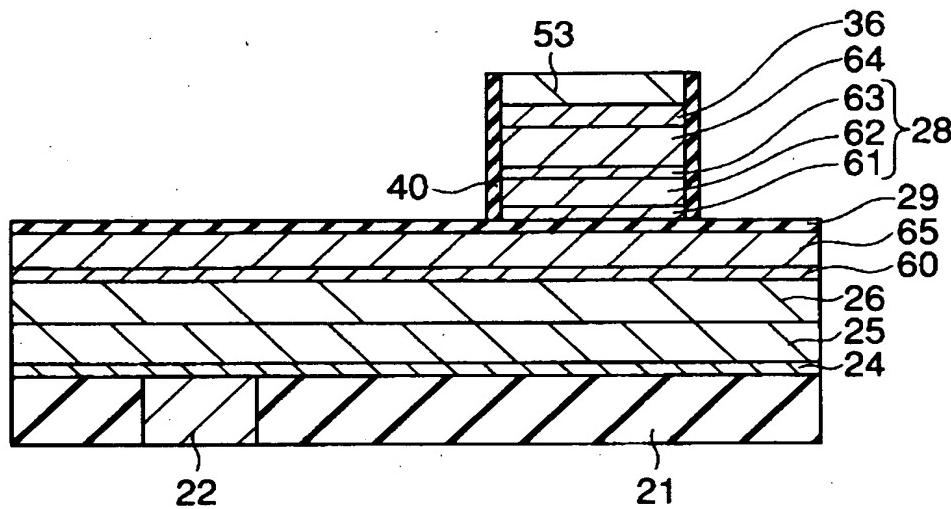
【図55】



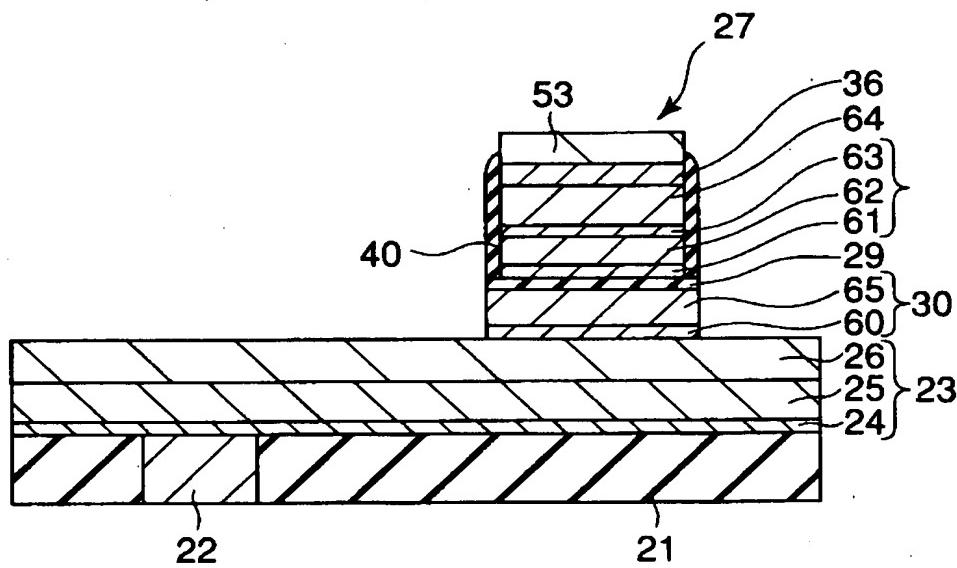
【図56】



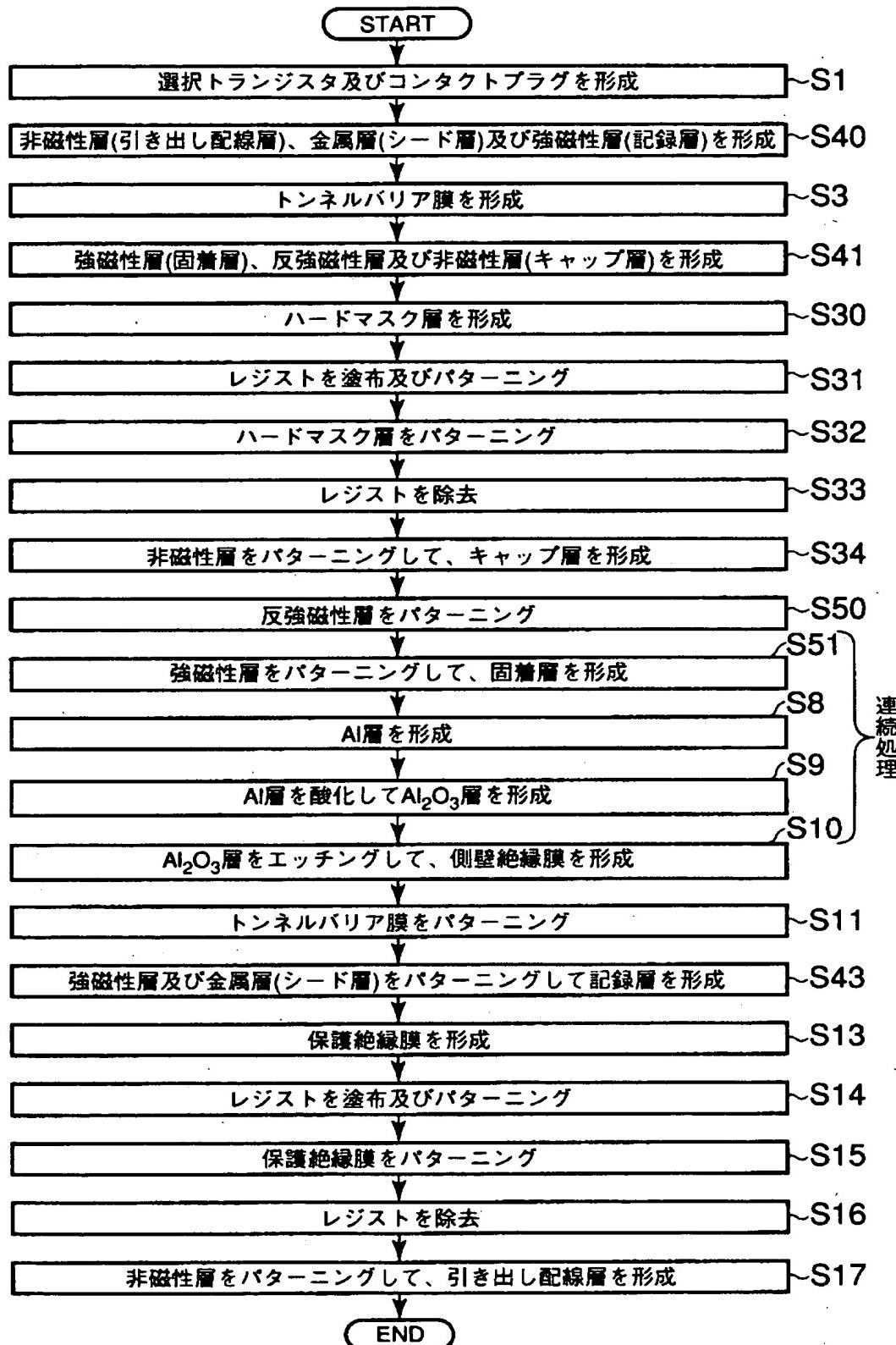
【図57】



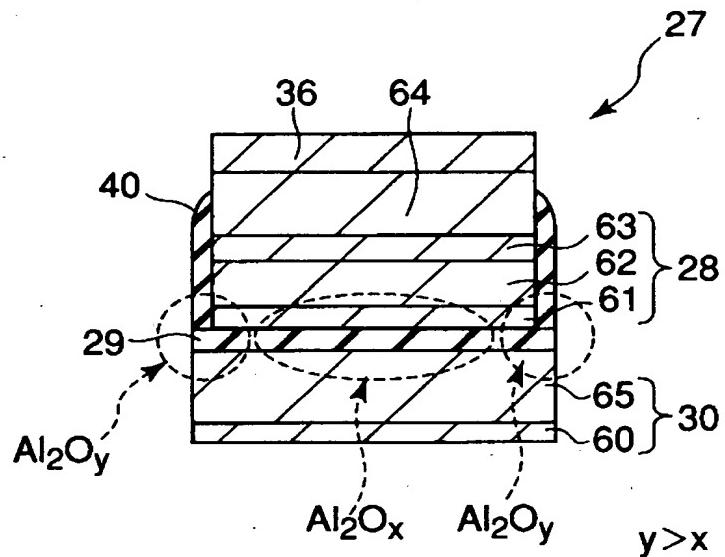
【図58】



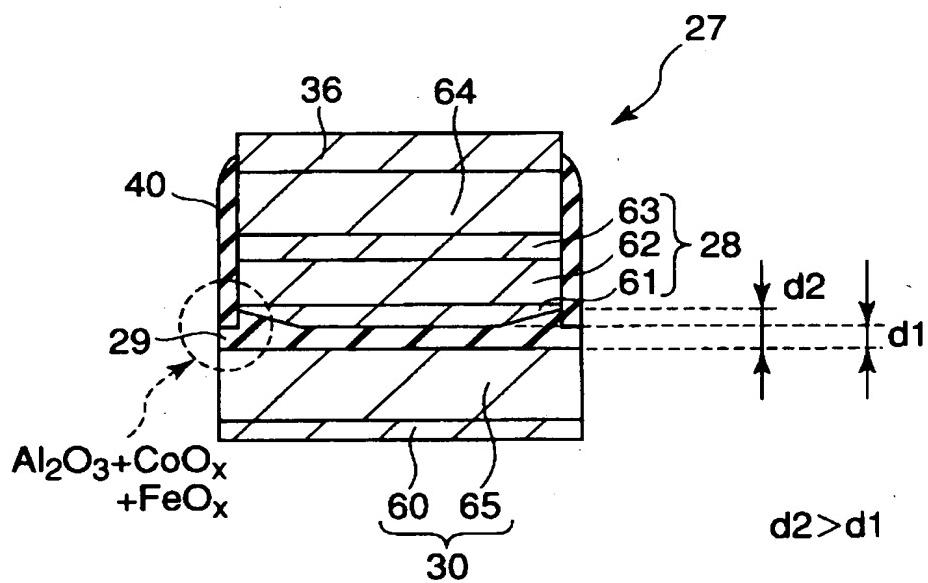
〔図59〕



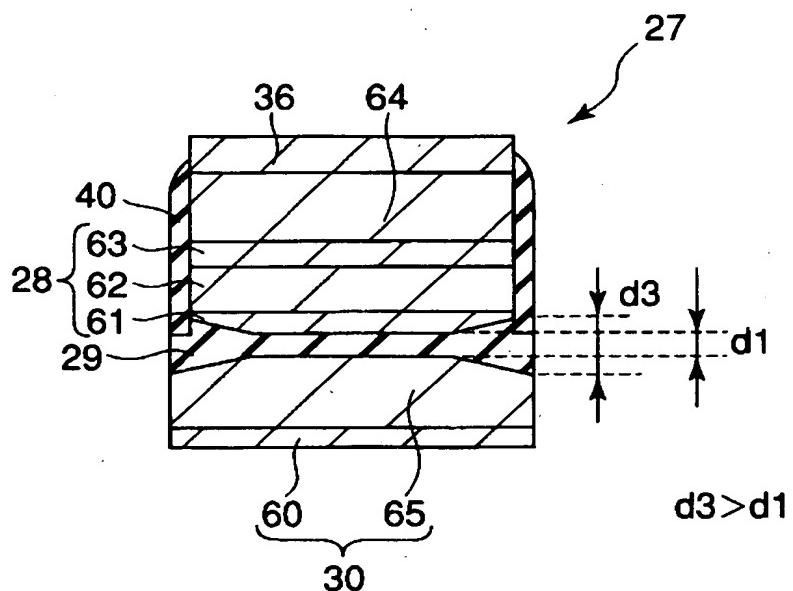
【図60】



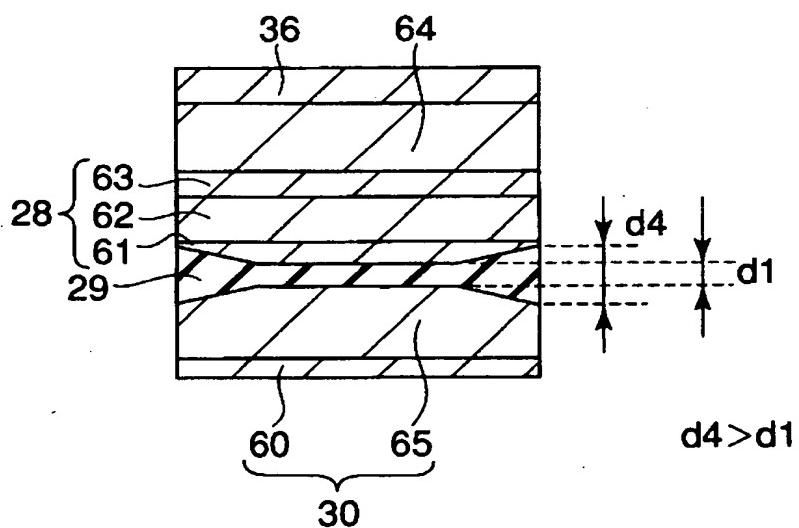
【図61】



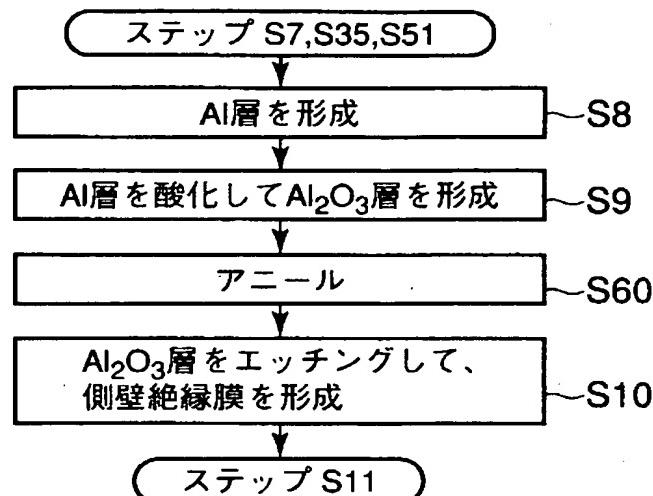
【図62】



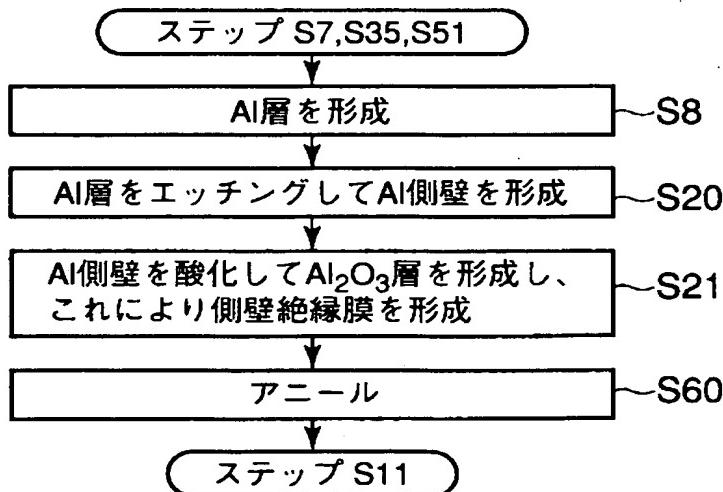
【図63】



【図64】



【図65】



【書類名】 要約書

【要約】

【課題】 製造歩留まりを向上できる半導体記憶装置及びその製造方法を提供すること。

【解決手段】 第1強磁性膜28と、前記第1強磁性膜28上に形成されたトンネルバリア膜29と、前記トンネルバリア膜29上に形成された第2強磁性膜30とを備えるメモリセル27と、少なくとも前記第2強磁性膜30の側面を取り囲むようにして形成された側壁絶縁膜40と、前記メモリセル27及び前記側壁絶縁膜40を被覆するように形成された層間絶縁膜41とを具備することを特徴としている。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝